

# 1 VÝVOJ APLIKÁCIÍ S VYUŽITÍM VLSI TECHNOLÓGIE

## 1.1 BOUNDARY SCAN TESTING (TESTOVANIE POMOCOU TECHNOLÓGIE HRANIČNÝCH TESTOV)

**Dôležitosť testovania** číslicových integrovaných obvodov, osadených plošných spojov a zložitých elektronických systémov v posledných rokoch výrazne **vzrástla**, čo bolo (a stále je) zapríčinené predovšetkým nasledujúcimi skutočnosťami:

- väčší dôraz začal byť kladený na kvalitu výrobkov (napr. štandard ISO 9001, ...), pričom testovanie je jedným z efektívnych prostriedkov zvyšovania kvality
- zložitosť elektronických výrobkov rastie a bude aj naďalej rásť (čo umožní naďalej zvyšovať ich úžitkovú hodnotu). Menej zrejмый je trend zvyšovania ceny testovania pri náraste zložitosti elektronických výrobkov. Uvádza sa, že ak pred 10-15 rokmi tvorili náklady na testovanie cca 20 %, v súčasnosti to už je cca 50 % ceny výrobku.
- hustota elektronických obvodov ako aj hustota púzdrenia (technológia SMD) sa výrazne zvyšuje a využitie klasických testovacích sond je veľmi problematické.

Niektoré z uvedených problémov by bolo možné riešiť parciálne zlepšovaním vývoja už existujúcich techník, avšak vyriešenie všetkých problémov súčasne bolo možné len zavedením úplne nových metód testovania. Testovanie pomocou **technológie hraničných testov (BST – Boundary Scan Testing)** je predmetom štandardu **IEEE Standard 1149.1 - Test Access Port and Boundary Scan Architecture**.

### Definícia

BST je nová testovacia technika pre testovanie číslicových obvodov na osadených doskách plošných spojov. Obvody zabudované do (potenciálne každého) integrovaného obvodu (IO) umožňujú testovanie prepojení medzi čipmi a odhalenie bežných chýb pri výrobe alebo prevádzke ako napr. skraty na plošnom spoji, prerušené plošné spoje a pod.

### História

V roku 1985 sa v meste Eindhoven (Holandsko) zišla malá skupina odborníkov na testovanie. Táto skupina neskôr vystupovala pod skratkou **JETAG<sup>1</sup> – Join European**

---

<sup>1</sup> V praxi sa využíva ešte kratšie označenie JTAG.

**Test Action Group.** Jedným z hlavných záverov bolo konštatovanie, že nutným predpokladom širokej akceptácie medzi výrobcami elektronických súčiastok je vytvorenie štandardu pre BST. Na základe aktivít skupiny JTAG bol v roku 1990 prijatý IEEE štandard 1149.1<sup>2</sup> a v roku 1993 bol prijatý jeho dodatok (Supplement A).

## ***1.2 ZÁKLADNÉ POJMY A PRINCÍP ROZHRAŇIA JTAG***

V oblasti testovacích techník sa často využíva skratka **BIST** (Built-in self-test). Techniky BIST sú v súčasnosti napr. využívané v zložitých IO. Typickým príkladom je interné testovanie moderných mikroprocesorov. BST je tiež príkladom techniky BIST pre testovanie integrovaných obvodov a ich prepojení na osadených plošných spojoch.

Základné pojmy

**Boundary scan** – technika poskytujúca elektronický prístup k vstupným a výstupným vývodom IO pomocou posuvných registrov medzi každým vývodom a obvodmi vo vnútri čipu.

**In circuit test** – testovacia technika na testovanie osadených plošných spojov, ktorá vyžaduje kontakt s každým vývodom IO. Kontakt je typicky dosiahnutý pomocou poľa kontaktov (**Bed-of-nails**).

**Functional test** – testovací proces, ktorý využíva stimuláciu normálnych vstupov osadenej dosky plošných spojov (napr. pomocou konektora) a sledovanie štandardných výstupov. Počas hľadania chýb môžu byť využité ručné sondy na prístup k interným signálom dosky plošného spoja.

**Emulation test** – testovacia technika pre testovanie osadených dosiek plošných spojov, pri ktorej je mikroprocesor na doske deaktivovaný (napr. využitím špeciálneho emulačného módu, prípadne vybraním z päťice), pričom je jeho funkcia emulovaná testovacím systémom.

Štruktúra IO, ktorý využíva štandard JTAG je znázornená na nasledujúcom obrázku a musí poskytovať rozhranie („socket“), ktorý sa nazýva **Test Access Port (TAP)**<sup>3</sup>.

---

<sup>2</sup> Tento štandard je často medzi odborníkmi familiárne nazývaný JTAG štandard..

<sup>3</sup> Toto testovacie rozhranie je koncepčne veľmi podobné testovacím prípojkám v moderných automobiloch.

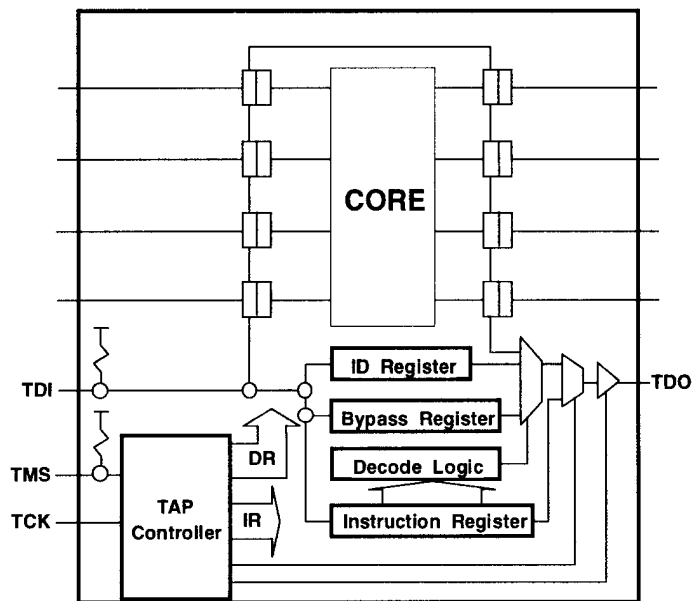


Figure 5. The Boundary-Scan Control Architecture

TAP má 4 povinné vývody:

TDI – test data in

TDO – test data out

TMS – test mode select

TCK – test clock

a jeden nepovinný:

TRST – test mode reset

TDI a TDO je sériový vstupný a výstupný I/O a zvyšné I/O sú riadiace a riadia prenos údajov medzi testovanou súčiastkou a externým riadiacim obvodom. Protokol je interpretovaný konečným automatom (TAP controller), ktorého štruktúra je znázornená na nasledujúcom obrázku.

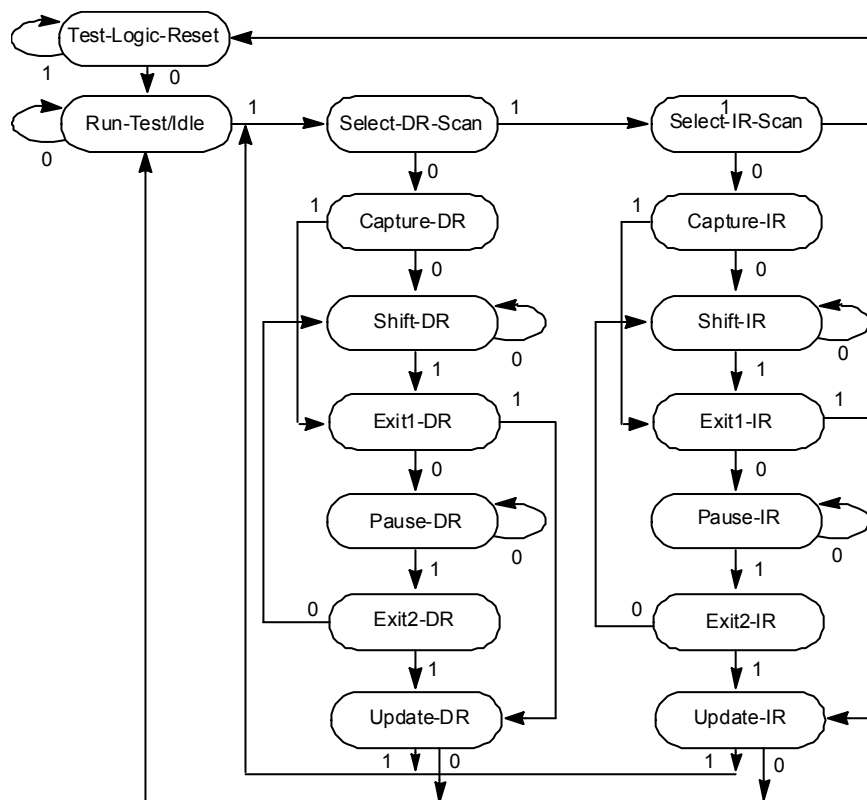


Figure 7-2. TAP Controller State Machine

TAP viacerých obvodov sa zapájajú pomocou zapojenia, ktoré sa zvykne nazývať pojmom „Daisy Chain“ a je znázornené na nasledujúcom obrázku.

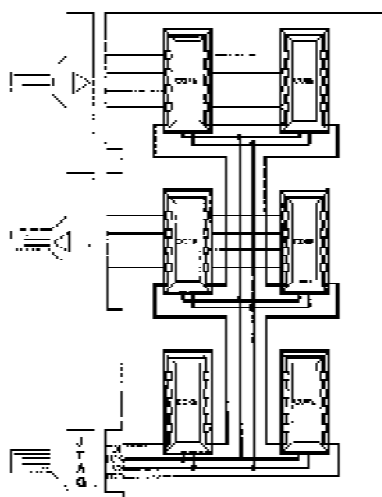


Figure 6. Board-Level Boundary-Scan Path

TAP radič využíva niekoľko základných registrov (tzv. testovacích nástrojov – Testing tools) :

**Boundary-scan register** – hlavný testovací „nástroj“ definovaný štandardom JTAG. Je tvorený reťazcom posuvných registrov prepojených okolo výstupov IO a logikou IO, ktorá vykonáva funkciu pre ktorú bol IC navrhnutý.

**Instruction register** – zápisom do tohto registra sa definuje činnosť, ktorú bude TAP radič vykonávať.

**Device identification register** – jeho obsah je možné vyčítať pomocou inštrukcie IDCODE. Register obsahuje 32 bitový údaj, ktorý identifikuje výrobcu, typ čipu, verziu ...).

**Bypass register („null tool“)** – ak nie sú požadované žiadne testovacie operácie s čipom, je možné pomocou tohto registra zrýchliť prenos testovacích údajov v kaskádnom zapojení viacerých IO.

Medzi ďalšie testovacie nástroje patrí:

**Inštrukcia RUNBIST** – umožňuje realizovať interný test súčiastky (samozrejme len pokiaľ ho súčiastka podporuje) unifikovaným spôsobom, čo umožňuje výrazným spôsobom znížiť cenu diagnostického programového vybavenia.

Využitie týchto testovacích nástrojov bude podrobnejšie popísané počas prednášky. Činnosť testovacích obvodov JTAG jedného z najjednoduchších obvodov s týmto rozhraním je možné simulovať pomocou programu, ktorý sa nachádza na CD (`\materialy\jtag\scannedu.exe`).

### 1.3 ROZŠÍRENIA ROZHRAŇA JTAG A ICH VYUŽITIE

Možná **rozširovateľnosť** štandardu JTAG bola jedným z hlavných cieľov pri jeho tvorbe. Okrem už uvedených nástrojov sú to predovšetkým **špecifické nástroje** (design specific tools). Tieto sa ďalej delia na **verejné nástroje** (public tools) a **privátne nástroje výrobcu** (private manufacturer tools).

Medzi tieto nástroje patria napr.:

**Vnútro-obvodová emulácia** – pomocou TAP rozhrania je možné u novších DSP pristúpiť k obvodom umožňujúcim ladenie bez externého emulátora.

**Programovanie EEPROM, SRAM a FLASH pamätí na čipe** – pomocou TAP rozhrania je možné naprogramovať konfiguráciu obvodov FPGA a CPLD (vysokovýkonné reprogramovateľné hradlové polia).

Rozhranie JTAG je možné nájsť u stále väčšieho počtu súčiastok. Je však zrejme, že ani v budúcnosti nebudú všetky (predovšetkým jednoduchšie) súčiastky obsahovať toto rozhranie. Navyše niekedy sa využívajú aj staršie (zložité) súčiastky, ktoré tiež nemajú integrované toto rozhranie. Jednou z možností ako testovať dosku plošných spojov aj v tomto prípade, je umiestnenie špeciálnych súčiastok na dosku plošných spojov. Tieto súčiastky plnia pri testovaní funkciu logického analyzátoru a nahrádzajú tak (samozrejme len čiastočne) chýbajúce rozhrania JTAG v starších obvodoch. Tieto



dosiek plošných spojov. **Testovacie pracovisko** je tak možné zredukovať na **PC + jednoduché rozhranie + programové prostriedky**. Navyiac takéto testovacie pracovisko umožňuje aj testovanie väčších systémov v teréne, prípadne aj **testovanie na diaľku**. Konceptný príklad zapojenia väčšieho systému (ktorý je zložený z väčšieho

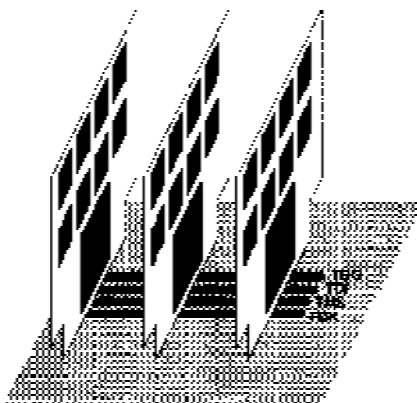


Figure 11. Multidrop System TAP

počtu dosiek plošných spojov) je znázornený na nasledujúcom obrázku.

Samozrejme toto je len suboptimálne riešenie a problematike testovania väčších celkov sú venované iné štandardy<sup>4</sup> (napr. **IEEE P1149.5 – Module Test and Maintenance Bus**). Medzi ďalšie zaujímavé smery v rozvoji testovacích techník patrí snaha o štandardizovanie testovania analógových obvodov.

<sup>4</sup> Tieto štandardy sú však nad rámec nášho predmetu, ich význam v zložitejších systémoch (ako napr. telefónnych ústredniach) je však extrémne dôležitý.