

TECHNICKÁ UNIVERZITA V KOŠICIACH
FAKULTA ELEKTROTECHNIKY A INFORMATIKY
KATEDRA ELEKTRONIKY A MULTIMEDIÁLNYCH
TELEKOMUNIKÁCIÍ

Implementácia IP funkcií pri spracovaní video signálov

DIPLOMOVÁ PRÁCA

Martin LIPTAJ

Vedúci diplomovej práce:

doc. Ing. Pavol Galajda, CSc

Konzultant diplomovej práce:

doc. Ing. Pavol Galajda, CSc

Košice 2009

Analytický list

Autor: Martin Liptaj
Názov práce: Implementácia IP funkcií pri spracovaní video signálov
Podnázov práce:
Jazyk práce: slovenský
Typ práce: Diplomová práca
Počet strán: 86
Akademický titul: Inžinier
Univerzita: Technická univerzita v Košiciach
Fakulta: Fakulta elektrotechniky a informatiky (FEI)
Katedra: Katedra elektroniky a multimediálnych telekomunikácií (KEMT)
Študijný odbor: Elektronika a telekomunikačná technika
Študijný program:
Mesto: Košice
Vedúci práce: doc. Ing. Pavol Galajda, CSc
Konzultanti práce: doc. Ing. Pavol Galajda, CSc
Dátum odovzdania: 11. máj 2009
Dátum obhajoby: 27. máj 2009
Kľúčové slová: FPGA, video, IP funkcie, Duševné vlastníctvo
Kategória konspekt: Technika, technológie, inžinierstvo
Citovanie práce: Liptaj, Martin : Implementácia IP funkcií pri spracovaní video signálov. Diplomová práca. Košice: Technická univerzita v Košiciach, Fakulta elektrotechniky a informatiky , 2009. 86 s.
Názov práce v AJ: Implementation of IP functions in video signal processing
Podnázov práce v AJ:
Kľúčové slová v AJ: FPGA, video, IP function, Intellectual property

Abstrakt v SJ

Práca sa zaoberá implementáciou IP funkcií pre spracovanie video-sigánalov. Systém pre spracovanie zahŕňa programové aj hardvérové súčasti. Hardvérová časť je zložená z vývojového kitu DSP Development Kit od firmy ALTERA s FPGA obvodom Cyclone II a rozširujúcej dosky s video prevodníkmi firmy Texas Instruments, ktorá bola pre účely tejto práce navrhnutá a vyrobená. Softvérová časť v sebe zahŕňa inicializáciu a riadenie prevodníkov a spracovanie video-sigánalov pomocou IP funkcií. Cieľom práce je realizácia rozširujúcej dosky s A/D a D/A prevodníkom, funkčný algoritmus na riadenie a spracovanie digitalizovaného video-sigánalu v obvode FPGA a potrebná dokumentácia.

Abstrakt v AJ

The thesis deal with the implementation of IP functions in video-signal processing. The processing system includes software and hardware parts. The hardware part is formed from DSP Development Kit from ALTERA with FPGA circuit Cyclone II and daughter card with Texas Instruments video-converters, that were for this work designed and produced. The software part includes initialization and control of converters and processing of video-signals with IP functions. The aim of the thesis is the design and realization of daughter card with A/D and D/A converters, functional algorithm of control and processing digital video-signal in FPGA circuit and documentation.

TECHNICKÁ UNIVERZITA V KOŠICIACH

Fakulta elektrotechniky a informatiky

Katedra elektroniky a multimediálnych telekomunikácií

DIPLOMOVÁ PRÁCA

Študent: **Martin LIPTAJ**
Študijný odbor: **Elektronika a telekomunikačná technika**
Akademický rok: **2008/2009**
Názov práce v slovenskom a anglickom jazyku:

Implementácia IP funkcií pri spracovaní video signálov Implementation of IP functions in video signal processing

Pokyny na vypracovanie:

1. Na základe dostupnej literatúry urobiť prehľad základných štandardov video signálov.
2. Návrh a optimalizácia hardvérového modulu pre spracovanie video signálov prostredníctvom FPGA obvodov od firmy Altera.
3. Overiť funkčnosť zapojenia A/D a D/A video prevodníkov a vyhodnotiť dosiahnuté výsledky pri pripojení video modulu cez rozhranie Santa Cruz k vývojovým doskám od firmy Altera.
4. Vypracovať dokumentáciu podľa pokynov vedúceho práce (hlavná časť 40 strán a viac, prílohy budú obsahovať potrebné IP funkcie, kompletnú výrobnú dokumentáciu, schémy zapojenia a návrhy dosky plošných spojov, tlačенá forma v nerozoberateľnej väzbe, elektronická forma hlavnej časti a príloh).

Vedúci diplomovej práce:
Konzultant diplomovej práce:

doc. Ing. Pavol Galajda, CSc.
doc. Ing. Pavol Galajda, CSc.

Dátum odovzdania diplomovej práce:

8.5.2009

.....
Dušan Levický
prof. Ing. Dušan Levický, CSc.
vedúci zadávajúceho
vedecko-pedagogického pracoviska



.....
Liberios Vokorokos
prof. Ing. Liberios Vokorokos, PhD.
dekan

V Košiciach, dňa 20.2.2009

Čestné vyhlásenie

Vyhlasujem, že som celú diplomovú prácu vypracoval samostatne s použitím uvedenej odbornej literatúry.

Ďalej vyhlasujem, že nemám námietky proti zapožičaniu a zverejneniu mojej záverečnej práce alebo jej časti so súhlasom katedry.

Košice, 27. máj 2009

.....

vlastnoručný podpis

PodĎakovanie

Ďakujem doc. Ing Pavlovi Galajdovi, Csc., vedúcemu diplomovej práce za jeho cenné a podnetné rady. Ďakujem aj Ing. Miroslavovi Šulíkovi za jeho praktické rady a technickú podporu. Taktiež ďakujem mojej priateľke Zuzane za jej trpezlivosť, ktorou oplývala počas odlúčenia od nej pri vypracovaní tejto práce.

V neposlednom rade chcem poďakovať svojim rodičom za podporu počas celého štúdia na Fakulte elektrotechniky a informatiky Technickej Univerzity v Košiciach.

Predhovor

IP funkcie tvoria v súčasnej dobe nenahraditeľnú súčasť návrhu elektronických digitálnych obvodov. IP funkcia programátorovi uľahčuje návrh konečného zariadenia, nesie v sebe určitú vlastnosť, určitú funkčnosť a správnym pospájaním takýchto funkčných blokov vznikajú veľké konečné projekty. Samozrejmom a veľmi výhodnou vlastnosťou IP funkcií je ich relatívne ľahká konfigurovateľnosť.

Táto práca si nesie za cieľ oboznámiť sa s rôznymi IP funkciami hlavne z oblasti spracovania videa. Taktiež sa popri riešení tejto práce vyrobil v domácich podmienkach prototyp dosky s prevodníkmi, ktorý je ďalej využiteľný v štúdiu celej rady aplikácií na spracovanie signálov.

Obsah

Zoznam obrázkov.....	10
Zoznam tabuliek.....	12
Zoznam symbolov a skratiek.....	13
Úvod.....	14
1 ZÁKLADNÉ ŠTANDARDY VIDEO SIGNÁLOV.....	15
1.1 CVBS.....	15
1.2 KOMPONENTNÉ (ZLOŽKOVÉ) VIDEO.....	15
1.2.1 S-VIDEO.....	16
1.2.2 RGB KOMPONENTNÉ VIDEO.....	16
1.2.3 YPbPr KOMPONENTNÉ VIDEO.....	17
1.3 ZÁKLADNÉ FAREBNÉ SÚSTAVY.....	18
1.3.1 NTSC.....	18
1.3.2 PAL.....	20
1.3.3 SECAM.....	22
1.4 ITU-R BT.601 a ITU-R BT.656.....	25
2 HARDVÉR.....	28
2.1 CYCLONE II EP2C70 A VÝVOJOVÝ KIT.....	28
2.2 ROZŠIRUJÚCA DOSKA.....	31
2.2.1 TVP5146M2PFP a THS8135.....	32
2.2.2 OPIS SCHÉMY ZAPOJENIA ROZŠIRUJÚCEJ KARTY.....	33
2.2.3 PRÚDOVA ANALÝZA.....	41
2.2.4 VÝROBA PROTOTYPOVEJ DOSKY PREVODNÍKOV.....	43
2.2.5 OŽIVENIE PROTOTYPOVEJ ROZŠIRUJÚCEJ DOSKY.....	45
3 SOFTVÉR.....	46
3.1 IP funkcie.....	46
3.1.1 Color Space Converter.....	48
3.1.2 Chroma Resampler.....	49
3.1.3 Gamma Corrector.....	50
3.1.4 2D FIR Filter.....	51
3.1.5 2D Median Filter	52
3.1.6 Alpha Blending Mixer.....	52
3.1.7 Scaler.....	54
3.1.8 Color Plane Sequencer.....	55
3.1.9 Clocked Video Input.....	56
3.1.10 Clocked Video Output.....	57

3.1.11 Test Pattern Generator.....	59
3.2 PRÍKLADY VYUŽITIA IP FUNKCIÍ.....	61
3.2.1 GENERATOR.....	61
3.2.2 BRIDGE.....	66
3.2.3 KOMPILÁCIA A SIMULÁCIA.....	70
4 ZÁVER.....	72
Zoznam použitej literatúry.....	73
Prílohy.....	74

Zoznam obrázkov

Obr. 1: Kódovacie obvody sústavy NTSC.....	19
Obr. 2: Dekódovacie obvody sústavy NTSC.....	20
Obr. 3: Kódovacie obvody sústavy PAL.....	21
Obr. 4: Dekódovacie obvody sústavy PAL.....	22
Obr. 5: Kódovacie obvody sústavy SECAM.....	24
Obr. 6: Dekódovacie obvody sústavy SECAM.....	25
Obr. 7: Bloková schéma vývojového kitu s Cyclone II.....	29
Obr. 8: Rozširujúci konektor SANTA CRUZ.....	30
Obr. 9: Resetovacie tlačidlá na vyvojovom kите.....	30
Obr. 10: Bloková schéma rozširujúcej dosky.....	31
Obr. 11: Zapojenie vstupného filtra kompozitného vstupu.....	34
Obr. 12: Ekvivalentné zapojenie vstupného filtra v programe SPICE.....	34
Obr. 13: Výsledný graf AC analýzy vstupného filtra v Orcade.....	36
Obr. 14: Výsledný graf merania frekvenčnej charakteristiky filtra na prototypovej doske.....	36
Obr. 15: Pripojenie kryštálu k prevodníku TVP5146M2PFP.....	38
Obr. 16: Závislosť výstupnej úrovne signálu od odporu R(FS).....	39
Obr. 17: Prepojovací kábel CANON VGA DB15 na YPbPr RCA konektory.....	40
Obr. 18: Zdrojová časť dosky.....	41
Obr. 19: Rozmiestnenie súčiastok na rozširujúcej doske zo strany súčiastok.....	43
Obr. 20: Rozmiestnenie súčiastok na rozširujúcej doske zo strany spojov.....	44
Obr. 21: Vývojová a rozširujúca doska, spojené pomocou rozhrania SANTA CRUZ... ..	45
Obr. 22: Informačné okno informujúce o najdení IP funkcie s časovým obmedzením. .	47
Obr. 23: Zoznam dostupných funkcií na spracovanie videa a obrazu v rozhraní SOPC Builder.....	47
Obr. 24: Konfiguračné okno IP funkcie Color space converter.....	48
Obr. 25: Konfiguračné okno IP funkcie Chroma resampler.....	49

Obr. 26: Konfiguračné okno IP funkcie Gamma corector.....	50
Obr. 27: Konfiguračné okno IP funkcie 2D FIR Filter.....	51
Obr. 28: Konfiguračné okno IP funkcie 2D Median Filter.....	53
Obr. 29: Konfiguračné okno IP funkcie Alpha Blending Mixer.....	53
Obr. 30: Konfiguračné okno IP funkcie Scaler.....	54
Obr. 31: Konfiguračné okno IP funkcie Color Plane Sequencer.....	55
Obr. 32: Konfiguračné okno IP funkcie Clocked Video Input.....	57
Obr. 33: Konfiguračné okno IP funkcie Clocked Video Output.....	59
Obr. 34: Testovací obraz - farebné pruhy.....	60
Obr. 35: Konfiguračné okno IP funkcie Test Pattern Generator.....	60
Obr. 36: Bloková schéma - generator.....	62
Obr. 37: Výroba impulzov s dvojnásobnou riadkovou frekvenciou.....	63
Obr. 38: Výsledok simulácie bloku init_ths8135.....	65
Obr. 39: Výstup z prevodníka (jeden riadok).....	66
Obr. 40: Výstup z prevodníka (sekvencia SSI).....	66
Obr. 41: Bloková schéma - bridge.....	66
Obr. 42: Oneskorenie hodinového signálu I2C zbernice.....	68
Obr. 43: Výstup simulácie bloku i2c zbernice (i2c_tvp5146m2).....	70
Obr. 44: Rozmiestnenie súčiastok zo strany súčiastok s vyznačenými rozmermi dosky	79
Obr. 45: Rozmiestnenie súčiastok zo strany spojov s vyznačenými rozmermi dosky...	79

Zoznam tabuliek

Tab. 1: Predpokladaná spotreba prevodníkov a celková spotreba.....	42
Tab. 2: Nameraná spotreba jednotlivých napät'ových vetiev prototypovej dosky.....	42
Tab. 3: Nastavenie IP funkcie Clocked Video Output.....	63
Tab. 4: Subadresy a dáta pre nastavenie prevodníka TVP5146M2 v príklade „bridge” cez I2C zbernicu.....	69
Tab. 5: Čas kompilácie v sekundách.....	71

Zoznam symbolov a skratiek

FPGA	Programovateľné hradlové pole (Field Programmable Gate Array)
DPS	Doska Plošných Spojov
IP	Duševné vlastníctvo (Intellectual Property)
HS	Horizontálna synchronizácia
VS	Vertikálna synchronizácia
AVID	Aktívne video
SSI	Snímkový synchronizačný impulz
RSI	Riadkový synchronizačný impult
ITU	Medzinárodné Telekomunikačné združenie (International Telecommunication union)
BSD	Berkeley Software Distribution
LGPL	Lesser General Public License
VHDL	Hardvérový opisný jazyk VHSIC (VHSIC Hardware Description Language)
VHSIC	Veľmi rýchle integrované obvody (Very High Spead Integrated Circuits)

Úvod

Práca sa zaoberá funkciami s duševným vlastníctvom (IP, z anglického Intellectual Property) z oblasti spracovania videa. Na to, aby sme mohli použiť nejaké IP funkcie na spracovanie digitálneho videa, musíme videosignál, ktorý je ešte aj v súčasnej dobe digitalizácie stále často v analógovej podobe (kamery, televízia, rôzne kvalitne staršie prístroje neobsahujúce výstup v digitálnej podobe) previesť na signál digitálny.

V tejto práci budú vysvetlené základne typy analógových video-signálov (kompozitné, komponentné...), najdôležitejšie a najviac používané farebne video systavy (NTSC, PAL, SECAM) a digitálne ekvivalenty týchto signálov podľa noriem ITU -R BT.601 a ITU -R BT.656

Práca sa ďalej zaoberá opisom hardvérovej časti tvorenej vývojovou doskou od firmy Altera DSP Development Kit, Cyclone II Edition EP2C70F672 FPGA a navrhnutým a vyrobeným hardvérovým modulom s A/D a D/A video-prevodníkmi od firmy Texas Instruments TVP5146M2PFP a THS8135. Budú opísané ich základne charakteristiky a vlastnosti, a bude podrobnejšie opísaná schéma navrhutej dosky s video prevodníkmi, ktorá prevádza analógový videosignál na digitálny a privádza ho na dosku s obvodom FPGA cez štandardizované rozhranie SANTA CRUZ od firmy Altera a tiež naspäť prevádza digitálny signál na analógový. V ďalšej podkapitole je technologicky opísaná výroba rozširujúcej prototypovej dosky a proces jej oživenia.

Ďalšia kapitola hovorí všeobecne o IP funkciách, o spôsobe licencovania IP funkcii a jednotlivé podkapitoly postupne o niektorých IP funkciách na spracovanie videa a obrazu od firmy Altera, ich vlastnostiach a použití. Nakoniec sú opísané príklady využitia dosky a niektorých IP funkcii spolu s opisom inicializácie prevodníkov na rozširujúcej doske.

1 ZÁKLADNÉ ŠTANDARDY VIDEO SIGNÁLOV

1.1 CVBS

CVBS resp. zložený obrazový signál, či tiež kompozitný obrazový signál, je formát analógového televízneho (video) signálu používajúci jednu spoločnú prenosovú cestu na prenos jasovej aj farebnej obrazovej informácie.

Skratka CVBS môže mať viacero významov: farba, jas, zatemňovacie a synchronizačné impulzy (Color, Video, Blank and Sync), kompozitné zložene video v základnom pásme (Composite Video Baseband Signal), kompozitné video so synchronizačným signálom (Composite Video Burst Signal), alebo aj kompozitné video s farbou a synchronizáciou (Composite Video with Burst and Sync).

Tento formát je bežný pri farebných sústavách NTSC, PAL, alebo SECAM. Je zložený z troch signálov Y, U a V (PAL a SECAM) alebo Y, I, Q (NTSC) a synchronizačných impulzov. Y reprezentuje jas alebo svietivosť obrazu a tiež obsahuje synchronizačné impulzy, aby mohlo byť automaticky zobrazený ako čiernobiely obraz.

U a V (resp. I a Q) nesú farebnú informáciu. Tieto sa podľa farebnej sústavy, v ktorej je video prenášané (PAL, SECAM, NTSC prípadne iné) spracuje a vznikne signál C. Tento signál C sa nazýva chrominančný signál. Signály Y a C sú následne potom skombinované. Tým vznikne kompozitný resp. zložený obrazový signál, v staršej literatúre označovaný ako úplný farebný obrazový signál.

Chrominančný signál je kódovaný použitím špeciálnej "subcarrier" alebo farbonosnej frekvencie, ktorá je závislá na štandarde farebnej sústavy. Môže byť modulovaný kvadrátúrnou amplitúdovou moduláciou (sústavy NTSC a PAL) alebo frekvenčnou moduláciou (SECAM).

1.2 KOMPONENTNÉ (ZLOŽKOVÉ) VIDEO

Komponentné (zložkové) video je obrazový signál, ktorý prenáša informáciu o obraze pomocou viacerých ciest. Sú tri základne spôsoby prenosu komponentného videa a to S-video, RGB a YPbPr

1.2.1 S-VIDEO

S-video , oddelené video (z angličtiny separate video) tiež známy v tvare Y/C je taktiež analógový videosignál, ktorý ale na rozdiel od CVBS nesie video informácie v dvoch oddelených cestách pre jas a chrominančný signál. Jas a modulovaný chrominančný signál sú synchronizovane oddelene. Pri CVBS je jasový signál filtrovaný cez dolný priepust, aby sa zabránilo ovplyvňovaniu farebnej nosnej frekvencii vysokými frekvenciami jasového signálu (to ale spôsobí, že kompozitné video nedokáže správne zobrazit' malé obrazové detaily). Keďže S-video rozdeľuje jas a farbu do dvoch rozdielnych ciest, nedochádza k ovplyvňovaniu, preto sa nepoužíva dolnopriepustný filter. Tým sa teda zväčší šírka pásma pre jasový signál, čo ma za následok vyššiu kvalitu prenášaného obrazového signálu (lepšie zobrazíme obrazové detaily). Chrominančný signál je podobne ako u CVBS modulovaný podľa jednej z farebných sústav (NTSC, PAL, SECAM)

1.2.2 RGB KOMPONENTNÉ VIDEO

RGB, teda červená, zelená a modrá (z anglického red, green, blue) prenáša informácie o troch základných farbách (červenej, zelenej a modrej) každú zvlášť v jednom kábli. Tým sa zmenší vzájomné ovplyvňovanie farieb, a tiež sa odstráni nutnosť modulácie farebnej informácie pomocou farebných noriem (PAL, NTSC, či SECAM).

Existuje viacero noriem pre RGB prenos (napr. RGBS, RGBHV, RG&SB), ktoré vo svojej podstate nepoužívajú žiadnu kompresiu a neurčujú žiadne limity na prenášajú farebnú hĺbku, či rozlíšenie obrazu. To ale znamená, že potrebujú široké frekvenčné pásmo na prenos videa vo veľkej obrazovej kvalite.

RGB tiež potrebuje pre správnu funkčnosť synchronizáciu. Najpoužívanejšie spôsoby synchronizácie sú:

- kompozitná synchronizácia, kde sú horizontálne aj vertikálne synchronizačné impulzy zmiešané do synchronizačnej zmesi a vedené jedným káblom (RGBS),

- oddelená synchronizácia, kde sú horizontálne a vertikálne synchronizačné impulzy vedené každý svojim samostatným káblom (RGBHV),

- synchronizácia na zelenej, kde je kompozitná synchronizačná zmes zmiešaná so zeleným signálom (SoG, RGsB alebo aj RG&SB).

RGBS sa používa hlavne v európskych systémoch pomocou pripojenia SCART konektorom, kde sa na prenos tejto informácie používa rovnaký kábel ako na prenos kompozitného videa, dokonca v niektorých systémoch sa priamo kompozitné video používa ako synchronizácia (informácia o obraze sa jednoducho odfiltruje a použije sa iba synchronizačná zmes). Tento spôsob používa na prepojenie 4 káble (červená, zelena, modra a synchronizácia).

RGBHV je najviac používaný spôsob pri prepojení počítačových VGA monitorov. Tento spôsob používa 5 rôznych káblov (červená, zelena, modra, horizontálna synchronizácia a vertikálna synchronizácia).

SoG (RGsB, RG&SB) je najmenej používaný spôsob pri prenose RGB signálov. podobne ako CVBS alebo S-video, aj SoG potrebuje zvláštny obvod na odstránenie synchronizačnej zmesi zo signálu zelenej farby. Výhodou je ale to, že na prenos informácie mu stačia tri káble, nevýhodou je trochu zhoršená kvalita zelenej farby.

1.2.3 YPbPr KOMPONENTNÉ VIDEO

Tento spôsob nepoužíva na prenos informácie o farbách R G a B, ale podobne ako S-video rozdeľuje signál na informáciu o jase (Y) a informáciu o farbe (Pb aPr) s tým rozdielom, že u S-video sa informácia o farbe kódovala podľa farebnej sústavy (PAL, NTSC, alebo SECAM) a u YPbPr sa rozdielové farby R-Y a B-Y prenášajú samostatnými cestami, takže nie je potrebná modulácia. Synchronizačná zmes je najčastejšie zmiešaná s jasovým signálom (podobne ako u S-video). Najbežnejšie rozlíšenia sú 480i (60Hz), 480p(60Hz), 576i (50Hz), 576p (50Hz), 720p (50Hz,60Hz), 1080i (50 Hz, 60 Hz), 1080p (50 Hz, 60 Hz). Prve číslo znamená počet obrazových bodov (pixlov) v riadku, písmeno „i” znamená prekladané riadkovanie (z anglického *interlaced*), a „p” znamená progresívne prekladanie (z anglického *progressive*). V zátvorke je uvedená najbežnejšia obrazová frekvencia.

1.3 ZÁKLADNÉ FAREBNÉ SÚSTAVY

1.3.1 NTSC

Z dnes používaných sústav farebnej televízie je norma NTSC najstaršia. Bola vyvinutá v Spojených Štátoch Amerických a začiatok vysielania v tejto norme bol v roku 1954. Používa sa tam dodnes ako NTSC M. Jej snímková frekvencia je 60Hz, počet riadkov na jednu snímku je 525 a šírku pásma obrazového signálu má 4,2 MHz.

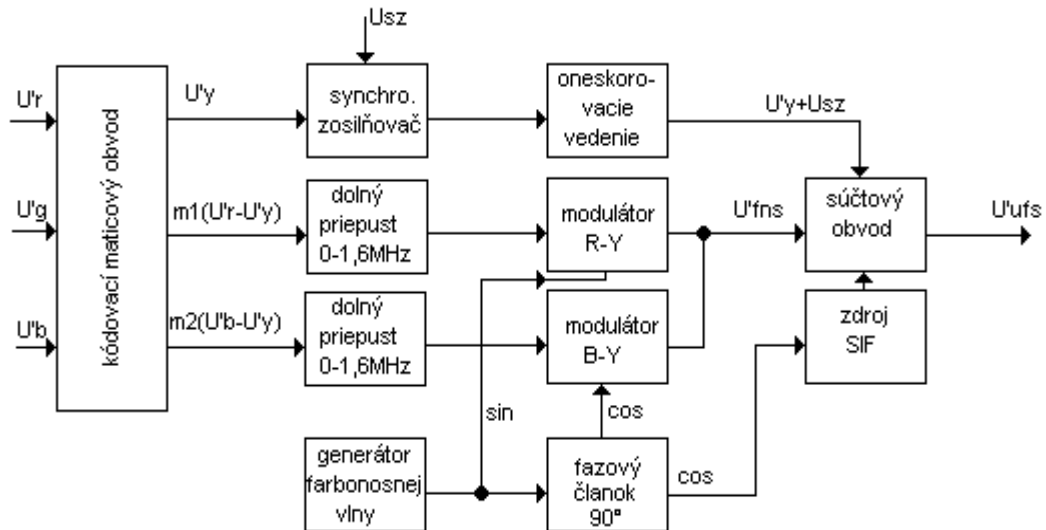
Sústava NTSC spĺňa požiadavku na obojstrannú zlučiteľnosť s čiernobiellou televíziou. K prenosu obrazovej informácie používa signál Y pre jas, a signály U_i a U_q pre farbu. U_i je rozdielový chrominančný signál červenej farby a jasu (U_r-U_y) a U_q modrej farby a jasu (U_b-U_y). Jasový signál a obidva chrominančné signály sa prenášajú naraz. Pomocou kvadrátúrnej modulácii sa chrominančné signály namodulujú na jednu farbonosnú frekvenciu, ktorej rozstup od nosnej vlny obrazu v americkej norme NTSC M je 3,57954 MHz. Kvadrátúrnou moduláciou je možné pomocou jednej farbonosnej vlny prenášať nezávislé na sebe dve informácie. Farbonosná vlna je rozložená na dve zložky navzájom posunuté o 90 stupňov a každá z nich je amplitúdovo modulovaná jedným z dvoch rozdielových chrominančných zložiek (U_i a U_q), pričom farbonosná vlna je potlačená. Tak vzniká zároveň amplitúdová aj fázová modulácia s potlačenou farbonosnou vlnou. Okamžitá hodnota amplitúdy farbonosného signálu potom nesie informáciu o farebnej sýtosti a okamžitá fáza zase o farebnom tóne. Ak sú obe chrominančné zložky nulové, znamená to, že sa prenáša nepestrá farba a teda aj amplitúda výslednej modulovanej farbonosnej vlny bude nulová. Kvadrátúrne modulovaný signál je vyjadrený vzťahom:

$$U'_{FNS} = U'_I(t) \cdot \sin \omega_{nf} t + U'_Q(t) \cdot \cos \omega_{nf} t = \sqrt{U'^2_I(t) + U'^2_Q(t)} \cdot \sin[\omega_{nf} t + \phi(t)],$$

$$\phi(t) = \arctg\left(\frac{U'_Q}{U'_I}\right)$$

Na Obr. 1 je bloková schéma kódovacích obvodov sústavy NTSC. V maticových obvodoch sa z RGB signálov vytvoria jasový signál ($Y' = 0.299 R' + 0.587 G' + 0.114 B'$) a rozdielové zložky $U'_r-U'_y$ a $U'_b-U'_y$. V synchronizačnom zosilňovači sa ku jasovému signálu pripočíta synchronizačná zmes U_{sz} . Tento signál (U'_y+U_{sz}) je potom cez oneskorovacie vedenie privádzaný na súčtový obvod. Rozdielové zložky sú vynásobené modulačnými súčiniteľmi m_1 a m_2 . Je to z toho dôvodu, aby amplitúda

farbonosného signálu v úplnom farebnom signáli nepresiahla úroveň bielej farby o viac ako 33,3 %. Tieto hodnoty sú teoreticky vypočítané na hodnoty $m_1=0,877$ a $m_2=0,493$.



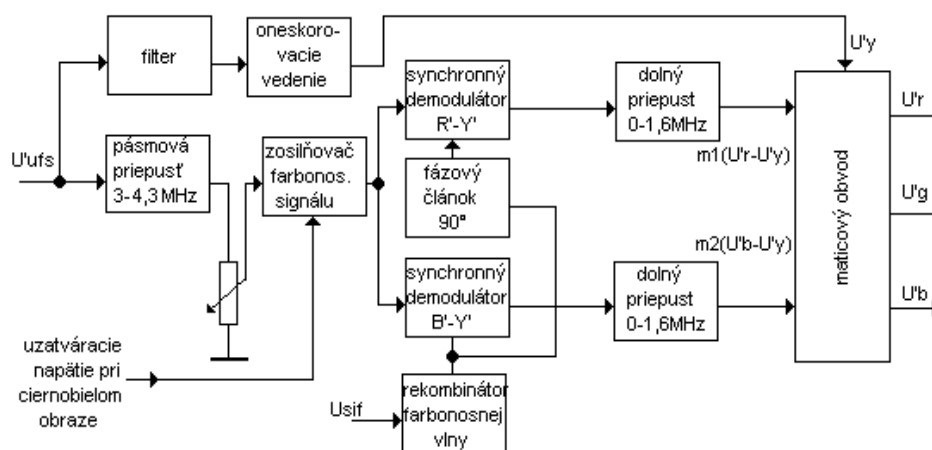
Obr. 1: Kódovacie obvody sústavy NTSC

Potom sú tieto chrominančné rozdielové signály filtrované v DP-filtry s hornou medznou frekvenciou 1,6 MHz. Toto filtrovanie súvisí s maximálnou farebnou rozlišovacou schopnosťou ľudského oka, ktoré menšie detaily nevie farebne rozlíšiť. Tým sa zároveň ušetrí miesto vo frekvenčnom spektre. Následné sa tieto signály kvadratúrne modulujú a postupujú do súčtového obvodu. Do tohto obvodu okrem jasového signálu, synchronizačnej zmesi a modulovanej farbonosnej vlny vstupujú aj synchronizačné impulzy farby. Tie sú umiestnené na zadnej strane zatemňovacieho impulzu riadku. Skladá sa z 8-12 kmitov farbonosnej vlny a má slúžiť k obnoveniu farbonosnej vlny v prijímači s presnosťou $\pm 5^\circ$. Na výstupe súčtového obvodu je takto vytvorený úplný farebný signál sústavy NTSC. Tento signál sa dá vyjadriť vzťahom:

$$U'_{UFS} = U'_Y + U'_{SZ} + U'_{SIF} + m_1 U'_I(t) \cdot \cos \omega_{nf} t + m_2 U'_Q(t) \cdot \sin \omega_{nf} t$$

Na Obr. 2 je naznačená bloková schéma dekódovacích obvodov. Z úplného obrazového signálu sa v pásmovej priepusti oddelí farbonosná vlna od jasového signálu, prejde cez potenciometer (ktorým sa nastavuje farebná sýtosť) do zosilňovača. V prípade, že na vstupe nie je detekovaný synchronizačný impulz farby (sif), riadiace napätie zablokuje tento zosilňovač a obraz je čiernobiely. Ak je obraz farebný, pokračuje signál na synchronné demodulátory, ktoré sú synchronizované s posunom 90

stupňov. Tým sa zabezpečí aby jeden demoduloval červený rozdielový signál a druhý modrý rozdielový signál. Takto demodulované signály sa prevedú ešte cez dolný priepust.



Obr. 2: Dekódovacie obvody sústavy NTSC

Potom sú privedené na maticové obvody kde sa spolu s jasovým signálom použijú na vytvorenie signálov R G a B. Jasový signál sa z úplného farebného signálu jednoducho odfiltruje pomocou špeciálneho hrebeňového filtra a prevedie cez oneskorovacie vedenie aby sa zabezpečilo presné zosynchronizovanie s chrominančnými rozdielovými zložkami, ktorých spracovanie trvá dlhší čas ako jasového signálu.

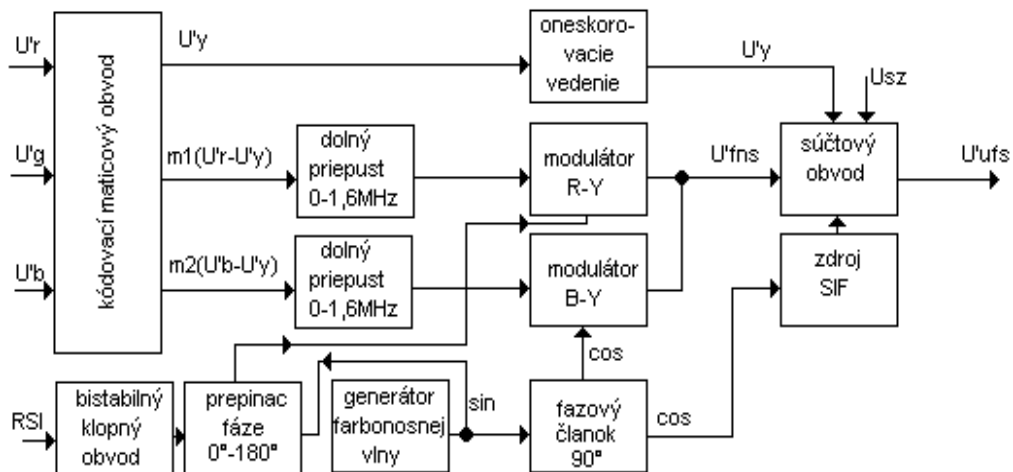
1.3.2 PAL

Na začiatku 60. rokov minulého storočia vznikla vo vývojových laboratóriách firmy Telefunken (vtedajšia NSR) pod vedením W. Bruchta nová sústava farebnej televízie, známa pod označením PAL (phase alternation line). Konceptne vychádza zo sústavy NTSC, prenáša sa opäť signál jasu Y a rozdielové chrominančné signály R-Y a B-Y. Takisto ako v NTSC sú chrominančné zložky modulované kvadratúrnou moduláciou s jednou farbosnou vlnou (u nás v používanej sústave PAL B/G je to 4,43361875 MHz, sústava PAL B/G používa 625 riadkov a 50Hz polsnímkovu frekvenciu, šírka obrazového signálu je 5 MHz). Iné na sústave PAL je to, že sa periodicky mení fáza farbosnej zložky U'r-U'y o 180° v po sebe nasledujúcich riadkoch. Tým sa dosahuje kompenzácia fázových skreslení a zníženie citlivosti

úplného farebného signálu PAL na skreslenie diferenciálnych fáz. Druhou výraznou zmenou oproti NTSC je iný spôsob demodulácie kvadrátne modulovaného farbonosného signálu bez použitia synchronnej detekcie.

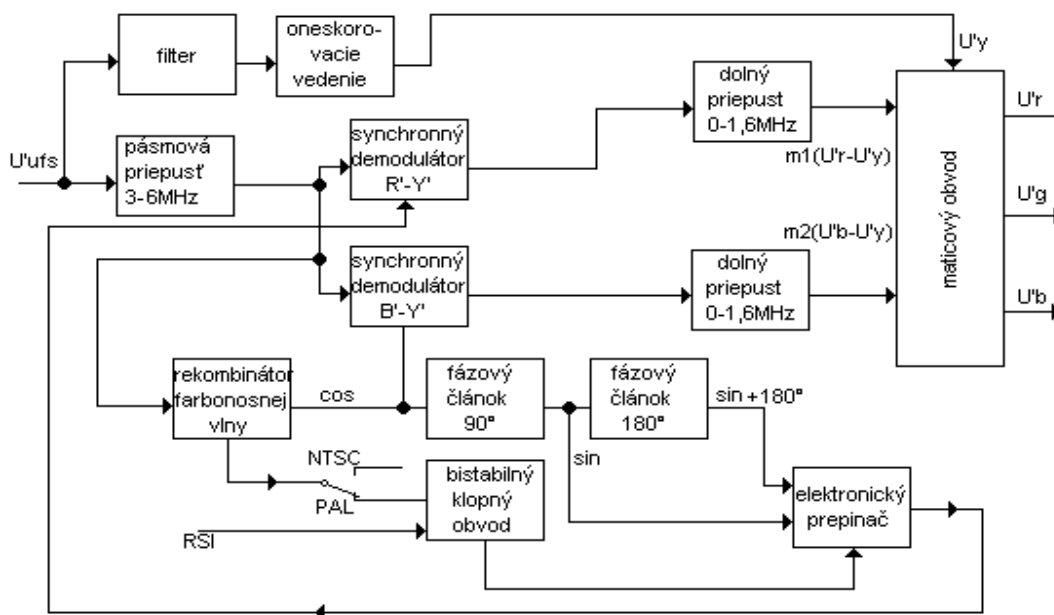
Obr. 3 znázorňuje blokovú schému kódovacích obvodov systému PAL. Na prvý pohľad vidieť, že konfigurácia je takmer totožná s kódovaním v systéme NTSC. V kanáli rozdielového signálu $U'_r-U'_y$ je doplnený blok prepínač fáze, ktorý zabezpečí to, aby sa každý riadok zmenila fáza modulačného signálu pre modulátor R-Y. Bistabilný obvod je riadený riadkovými synchronizačnými impulzmi. Ten riadi prepínač fázy tak, aby každý riadok otočil fázu sínusového signálu z generátora farbonosnej vlny o 180° . Na výstupe je úplný farebný signál podľa normy PAL, ktorý môžeme vyjadriť vzťahom:

$$U'_{UFS} = U'_Y + U'_{SZ} + U'_{SIF} \pm m_1(U'_R - U'_Y) \cdot \cos \omega_{nf} t + m_2(U'_R - U'_Y) \cdot \sin \omega_{nf} t$$



Obr. 3: Kódovacie obvody sústavy PAL

Na Obr. 4 je bloková schéma dekódovacích obvodov pre systém PAL. Je veľmi podobná so schémou dekodéra systému NTSC. Princíp demodulácie je podobný ako u NTSC, rozdiel je len v prepínaní fázy farbonosnej vlny pre synchronný demodulátor R'-Y'. Riadiaci signál pre bistabilný klopný obvod sa získava z rekombinátora farbonosnej vlny. Bistabilný obvod riadi elektronický prepínač, ktorý prepína farbonosnu vlnu o 180° s riadkovou frekvenciou.



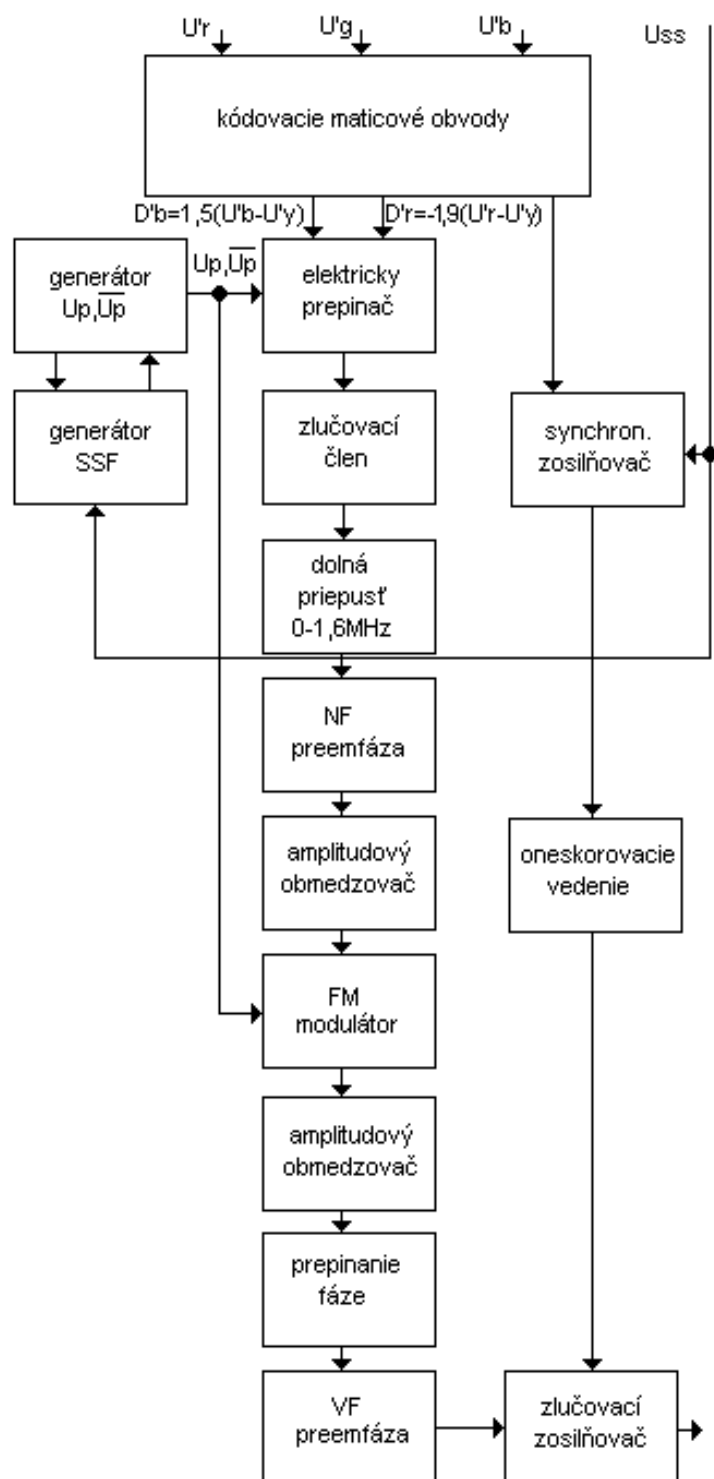
Obr. 4: Dekódovacie obvody sústavy PAL

1.3.3 SECAM

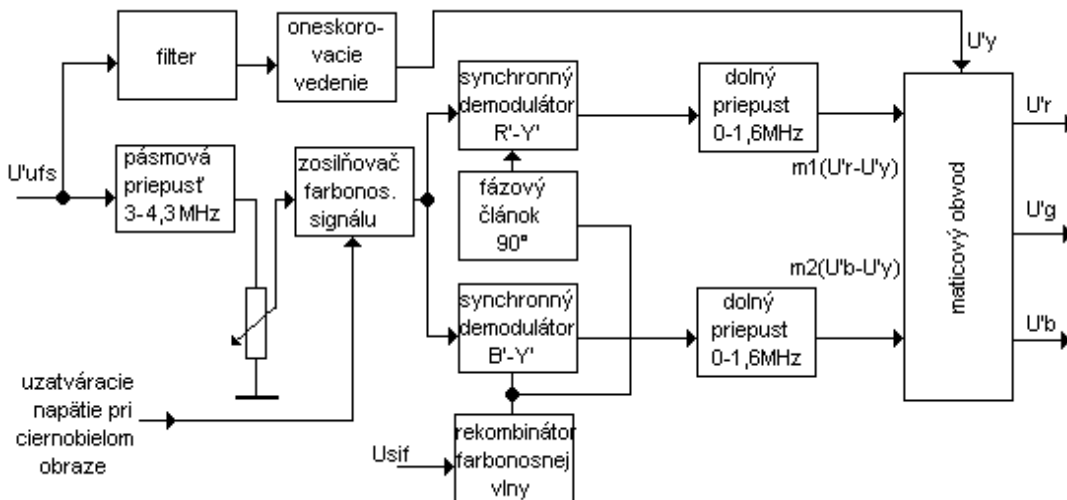
Táto sústava farebnej televízie vznikla vo Francúzku v rokoch 1956-1957. Jej autorom je Henri de France. Jej označenie je odvodené z francúzskeho "sequentiel á memoire", čo znamená sústavu časovo postupnú s pamäťou. Podobne, ako predchádzajúce sústavy, aj táto zachováva spätnú kompatibilitu s čiernobiou televíziou a princíp zdieľania kmitočtového pásma. Tento systém sa donedávna používal aj u nás. Momentálne sa používa hlavne vo Francúzku, Rusku a v niektorých krajinách Afriky. Posledná úprava normy SECAM (označovaná SECAM III) tiež využíva pre prenos rozdielových chrominančných signálov $U'r-U'y$ a $U'b-U'y$, ktoré sú ale každá zvlášť frekvenčne modulované na dve farbonosné vlny. Prenos farbonosných signálov sa nevykonáva naraz, ale postupne po riadkoch sa prenáša najprv rozdielová $U'r-U'y$ spolu s jasovým signálom a v ďalšom riadku $U'b-U'y$ spolu s jasom. To vyžaduje, aby v prijímači (dekodéri) bol pamäťový článok (v analógovej oblasti oneskorovacie vedenie), ktorý si zapamätá 64us (poznámka: snímková frekvencia 25Hz po 625 riadkov => 1 riadok = 64us) trvajúci signál, aby mohol byť následne použitý pri obnovení všetkých troch farieb RGB. Objem prenášaných informácií je teda menší ako u sústav so súčasným prenosom farbonosných informácií. Predpokladom je to, že farba sa na dvoch susedných riadkoch príliš nemení. Tento predpoklad ale nie je splnený na vodorovných farebných pruhoch, kde z princípu dochádza ku farebnému skresleniu.

Na Obr. 5 je bloková schéma kódovacích obvodov farebnej sústavy SECAM. Základne farebné signály R G a B sú privedené na maticové obvody, kde sa vytvoria rozdielové signály $U'r-U'y$ a $U'b-U'y$ a jasový signál $U'y$. Rozdielové chrominančné signály sú privedené na elektronicky prepínač, na ktorého výstup sa v rytme riadkovej frekvencie prepína vždy jeden z týchto dvoch signálov. V zlučovacom člene sa k tomuto signálu superponuje synchronizačný signál farby (Ussf). Ten má za úlohu synchronizovať podobný prepínač v dekóderi SECAM a vysiela sa v dobe polsnímkového zatemňovacieho impulzu. V ďalšom bloku sa odfiltruje vyššia frekvencia (v súlade s farebnou rozlišovacou schopnosťou ľudského oka). V bloku NF preemfázy sa zlepšujú šumové pomery modulovaného signálu. Po obmedzení amplitúdy v amplitúdovom obmedzovači sa signál frekvenčne moduluje na tú nosnú frekvenciu, ktorú chrominančnú zložku práve moduluje. Následne sa znova obmedzí amplitúda a pomocou filtra VF preemfázy sa znížia rušivé bodové štruktúry pri reprodukcii nepestrých a malo sýtych farieb. Následne sa signál z jasového kanála zlúči s modulovaným chrominančným signálom a vznikne úplný farebný obrazový signál v sústave SECAM.

Na Obr. 6 je bloková schéma dekódovacích obvodov sústavy SECAM. Podobne ako v predchádzajúcich normách sa oddelí farbonosný signál od úplného pomocou pásmovej priepuste. Za ňou nasleduje VF deemfáza, ktorej prenosová charakteristika je inverzná k VF preemfáze z kódera SECAM. V elektronickom krížovom prepínači sa vytvára zo vstupného časovo postupného sledu farbonosných signálov na výstupe nepretržitý sled modulovaných zložkových farbonosných signálov a to tak, že na jednom výstupe je neustále sled modulovaných zložkových signálov $U'r-U'y$, a na druhom $U'b-U'y$. To je vytvorené pomocou oneskorovacieho vedenia s dobou oneskorenia 64 us. Po amplitúdovom obmedzení sa tieto signály privádzajú na FM demodulátory. Na ich výstupoch sú rozdielové chrominančné signály $U'r-U'y$ a $U'b-U'y$. Jasový signál sa získa z úplného farebného signálu SECAM pomocou hrebeňového filtra a v oneskorovacom vedení sa oneskorí tak, aby prišiel na maticové obvody vo fáze s chrominančnými rozdielovými zložkami. V maticových obvodoch sa vypočítajú jednotlivé signály farieb R,G a B.



Obr. 5: Kódovacie obvody sústavy SECAM



Obr. 6: Dekódovacie obvody sústavy SECAM

1.4 ITU-R BT.601 a ITU-R BT.656

Medzinárodné telekomunikačné združenie (ITU, z anglického International telecommunication union) je odborná organizácia so sídlom v Ženeve, ktorá vznikla už v roku 1865 pri podpise prvého medzinárodného telegrafného dohovoru. Táto organizácia spadá pod pôsobenie Organizácie Spojených národov (OSN) a je jej najstaršou odbornou organizáciou. Úlohou ITU je udržiavať a prehľbovať medzinárodnú spoluprácu vo všetkých oblastiach telekomunikácii a rádiokomunikácií, podporovať rozvoj zodpovedajúcich technických prostriedkov, dbať o účelné rozdeľovanie frekvenčného spektra a koordináciu jeho využívania a poskytovať technickú pomoc v oblasti telekomunikácií a rádiokomunikácií. [5]

Organizácia vydáva odporúčania v troch hlavných kategóriách: rádiokomunikácie (ITU-R), štandardizácia v telekomunikáciách (ITU-T) a vývoj v telekomunikáciách (ITU-D). Každá kategória má ešte svoje vlastné delenie podľa oblasti použitia. Odporúčania nie sú pre členské štáty povinné, ale väčšina veľkých výrobcov sa podľa nich riadi, aby sa zachovala čo najväčšia kompatibilita.

Odporúčania ITU-R BT.601 a ITU-R BT.656 patria do kategórie rádiokomunikácií, a podskupiny vysielania a prenosu videa resp. televízie (BT-Broadcasting service (television)).

Odporúčanie ITU-R BT.601, skôr známe pod označením Rec. 601 alebo jeho starší názov CCIR 601 hovorí o kódovaní prekladaného analógového videa v digitálnej podobe s počtom riadkov 525 a 60Hz polsnímkovou frekvenciou a tiež o kódovaní 625 riadkového video-signálu s 50Hz polsnímkovou frekvenciou, obe so 720 jasovými obrazovými vzorkami na jeden riadok a 360 chrominančnými obrazovými vzorkami. Farebné kódovanie používa systém YUV 4:2:2, kde pomer 4:2:2 je pomer počtu vzoriek jasú (Y) a vzoriek chrominančných rozdielových signálov (U a V), teda Y:U:V. Za signál podľa tohto odporúčania môžeme považovať zakódovaný komponentný analógový signál, teda zakódované synchronizačné impulzy pre riadkovú aj snímkovú synchronizáciu a zatemňovací interval. Vzorkovacia frekvencia jasového signálu je definovaná najmenej 13,5MHz a chrominančných zložiek najmenej 6,75MHz. Kódovanie je rovnomerne PCM a ITU-R BT.601 definuje šírku kódového slova na 8-10 bitov. Prvá verzia bola len 8 bitová paralelná, ale neskôr bola zadefinovaná 8-bitová sériová verzia použitá pri nahrávaní na magnetofónovú pásku. Dátová rýchlosť 8-bitového protokolu je 216Mbit/s. Možná je aj 9-bitová verzia s dátovou rýchlosťou 243Mbit/s, ale najčastejšie používaným je 10-bitové rozhranie s dátovou rýchlosťou 270Mbit/s, ktoré v sériovom variante bolo neskôr štandardizované ako SMPTE 259M. Pri širokouhlých aplikáciach (16:9) je táto rýchlosť až 360Mbit/s. Štandard ďalej definuje jasové úrovne bielej a čiernej farby v jasovom kanáli a to tak, že hodnota 235 zodpovedá bielej farbe a hodnota 16 čiernej farbe. Hodnoty 0 a 255 sú určené pre synchronizáciu. Farebne rozdielové zložky majú 225 kvantizačných úrovní v strede kvantizačnej škály a ako nulovú hodnotu 128 (stredná hodnota rozsahu kvantizačných úrovní). Kvantizačný rozsah je stále 256 úrovní. 9 a 10 bitové verzie prenášajú jeden resp. dva bity, ktoré určujú hodnotu čísla za desatinnou čiarkou, to znamená, že osembitové binárne číslo 10010001_b sa rovná 91_h alebo 145_d a desatbitové číslo 1001000101_b sa rovná $91,4_h$ alebo $145,25_d$.

ITU-R BT.656 definuje rozhranie pre digitálne komponentné video-signály v 525 a 625 riadkových televíznych systémoch pracujúcich podľa 4:2:2 rozloženia jasových a chrominančných signálov podľa odporúčania ITU-R BT.601. ITU-R BT.656 určuje začiatky (SAV) a ukončenia aktívneho videa (EAV), šírku synchronizačných impulzov. Určuje poradie chrominančných a jasových zložiek a to v poradí Cb,Y,Cr,Y,Cb...atď. Tieto dáta sú sprostredkované rýchlosťou 27Mbit/s, to znamená 27 miliónov 8-10

bitových slov za sekundu. Definovaný je aj hodinový signál, konkrétne musí spĺňať požiadavky: frekvencia 27MHz, tvar obdĺžnikový so šírkou $18,5 \pm 3$ ns a časovou nestabilitou maximálne 3ns. Toto obmedzenie je dôležité hlavne pre efektívnu paralelnú komunikáciu, ale napríklad pre použitie pri D/A konverzii nieje toto časovanie také kritické. Ďalej sa táto norma zaoberá napät'ovými úrovňami rozhraní používajúcich toto odporúčanie a definuje vstupnú a výstupnú impedanciu.

2 HARDVÉR

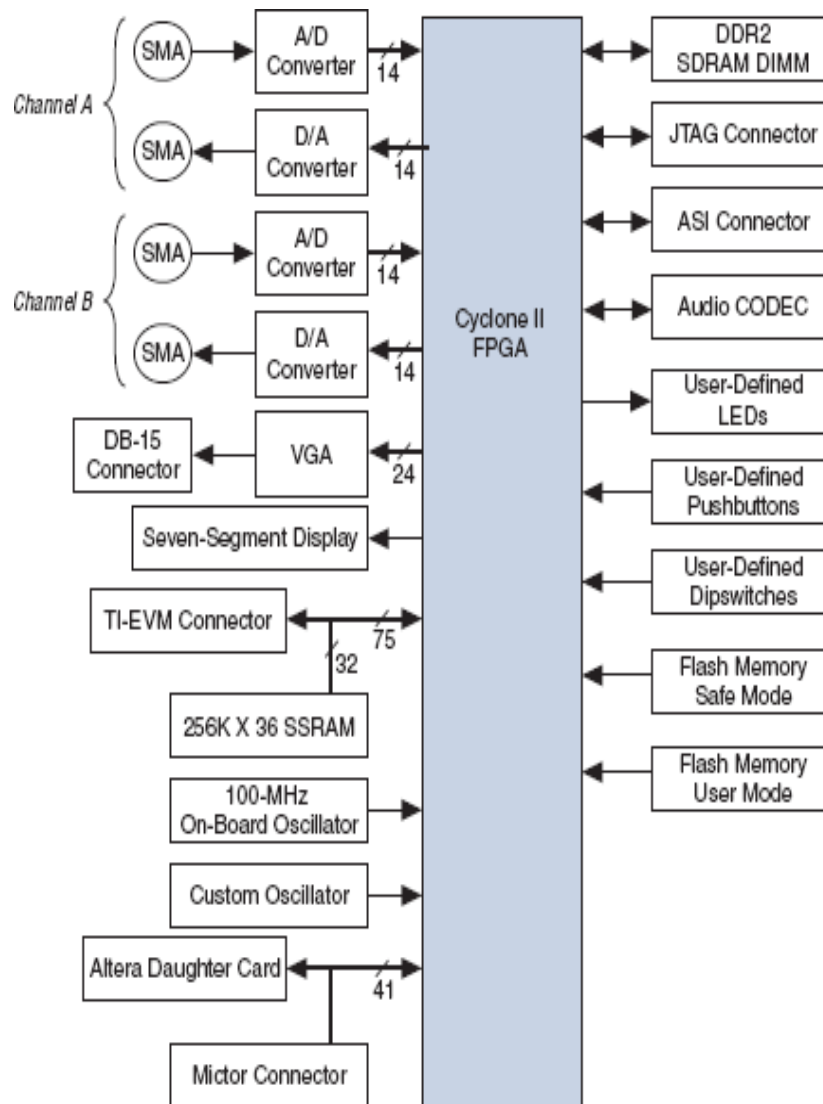
FPGA obvody sú podskupinou programovateľných logických obvodov (PLD, z anglického *programmable logic device*). Hlavnou charakteristickou črtou PLD obvodov je to, že ktokoľvek si môže vytvoriť vlastný zákaznícky obvod s vlastnosťami, ktoré si on určí. Obvody FPGA sú z PLD obvodov podskupinou s najvšeobecnejšou programovateľnou štruktúrou a tiež združujú v sebe najviac logických elementov. Sú určené na využitie v malých sériach, výhodou je aj ľahká rekonfigurovateľnosť a náhrada iných súčiastok.

V tejto práci sa využíva FPGA obvod od firmy Altera Cyclone II na vývojovej doske s označením EP2C70F672. Na digitálne spracovanie video-signálu je potrebné analógový signál napríklad z kamery či iného zdroja zdigitalizovať. Taktiež mnoho riešení v praxi vyžaduje zdigitalizované video-dáta alebo iné dáta a signály previesť na tvar analógový. Preto bola pre tento účel navrhnutá rozširujúca doska s dvoma video prevodníkmi od firmy Texas Instruments, ktorá sa pripojí k vyššie spomínanej vývojovej doske EP2C70F672 cez prototypové rozhranie SANTA CRUZ konektor.

2.1 CYCLONE II EP2C70 A VÝVOJOVÝ KIT

Cyclone II EP2C70 od firmy Altera je FPGA obvod s 68 416 logickými elementami je najvýkonnejším obvodom z rady Cyclone II. Obsahuje 250 M4K blokov RAM, čo je celkom 1 152 000 bitov RAM pamäte (M4K znamená 4kbit+512 paritných bitov, teda 4 096+512 bitov), 150 násobičiek 18x18 a 4 obvody PLL. Obvod na vývojovom kite ma celkovo 422 vstupno/výstupných užívateľských pinov. Obvod je v 672 pinovom BGA puzdre. Existuje aj variant s 622 vstupno/výstupnými užívateľskými pinmi v 896 pinovom BGA puzdre.

Ako je vidieť na blokovej schéme (Obr. 7), vývojový kit obsahuje tieto analógové periférie: dva 14 bitové A/D prevodníky s rýchlosťou 125MSPS, s odstupom signál/šum 70dB, dva 14 bitové D/A prevodníky s rýchlosťou 165MSPS, s odstupom signál/šum 70dB, jeden 24 bitový VGA adaptér s DB-15 konektorom na pripojenie VGA monitora, audio kódek so vstupom, výstupom a zosilneným výstupom.

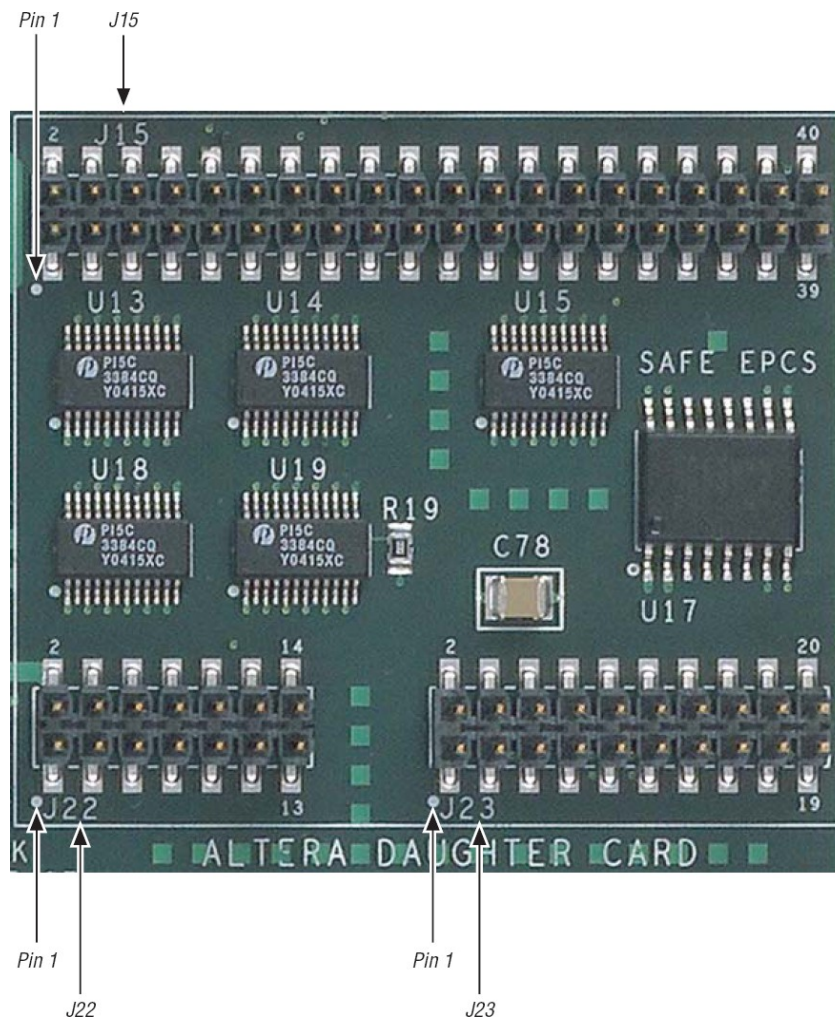


Obr. 7: Bloková schéma vývojového kitu s Cyclone II

Pamäťový systém je tvorený jedným DDR2 SDRAM DIMM modulom s 256MB pamäťou a jednou synchronnou SRAM pamäťou s kapacitou 1MB.

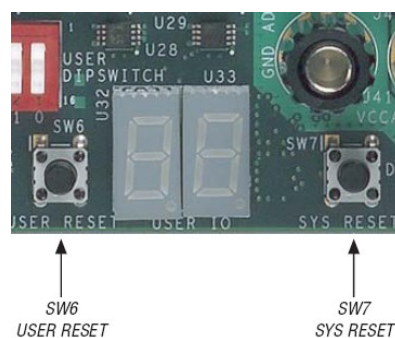
Ďalej kit obsahuje osem používateľom definovateľných LED diód, dva sedem segmentové LED displeje, štyri tlačidlá a osem prepínačov typu DIP.

Pre vývoj vlastných aplikácií s FPGA obvodom je na vývojovej doske rozširujúci konektor tvorený tromi samostatnými dvojradovými konektormi s počtom pinov 14 (J22), 20 (j23) a 40 (j15). Usporiadanie a rozmiestnenie týchto konektorov je vidieť na Obr. 8. Tento konektor podporuje 3,3 a 5V úrovne signálov, tieto napätia sú prítomné na určených pinoch a môžu slúžiť na napájanie rozširujúcej dosky. Toto rozhranie je pomenované ako SANTA CRUZ konektor.



Obr. 8: Rozširujúci konektor SANTA CRUZ

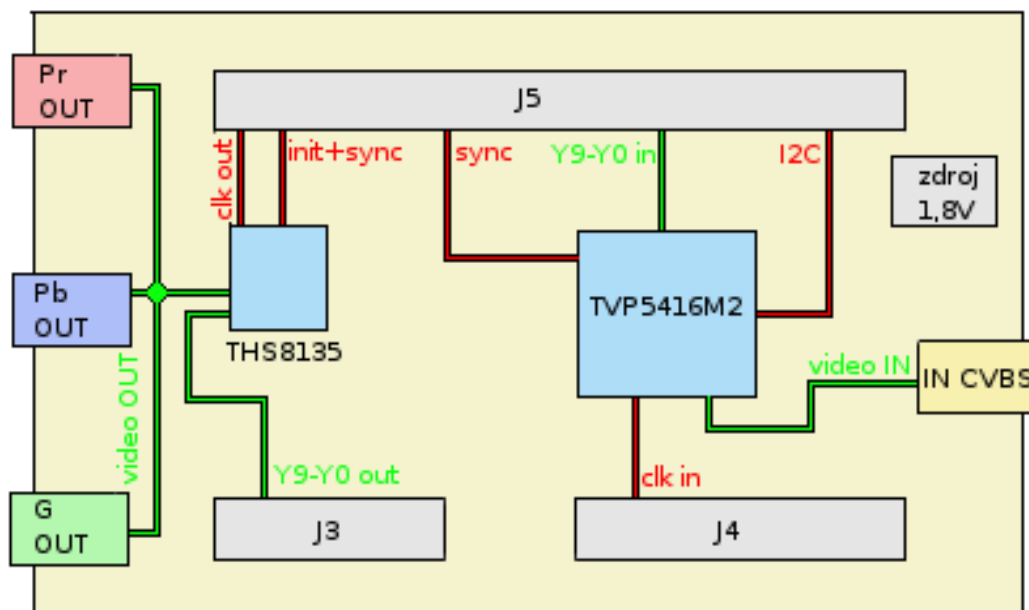
Okrem toho doska obsahuje hodinový oscilátor s frekvenciou 100 MHz, JTAG konektor, ASI konektor a Mictor konektor na ladenie hardvéru a softvéru. Na doske sa ešte nachádzajú dva resetovacie tlačidlá (Obr. 9). Jedno slúži na zresetovanie celého systému dosky a všetkých komponentov a účel druhého resetovacieho tlačidla je definovaný používateľom.



Obr. 9: Resetovacie tlačidlá na vyvojovom kите

2.2 ROZŠIRUJÚCA DOSKA

Dôvod vzniku rozširujúcej dosky bol ten, aby sme dokázali jednoducho spracovať analógový video-sigál a previesť ho na sigál digitálny. Taktiež slúži na opačný proces, jednoduché prevedenie digitálneho video-sigálu na sigál analógový. Aj keď vývojová doska s FPGA obvodom Cyclone II obsahuje dostatočne rýchle A/D a D/A prevodníky na všeobecne použitie, rozširujúca doska obsahuje prevodníky primárne určené na spracovanie video sigálov. Tieto prevodníky zjednodušujú prevod či už z analógovej do digitálnej oblasti tak aj naopak, pretože obsahujú funkcie, ktoré v bežnom prevodníku (A/D aj D/A) chýbajú a museli by byť nahradené zložitejším softvérovým resp. hardvérovým riešením (napríklad detekcia synchronizačných impulzov, rozlíšenie farebnej normy, vloženie synchronizačných impulzov do výstupného analógového video-sigálu a podobne). Rozširujúca doska obsahuje dva prevodníky od firmy Texas Instruments. Na konverziu z analógovej oblasti do číslicovej sa použil kvalitný obvod TVP5416M2. Na prevod z digitálnej do analógovej oblasti bol použitý obvod THS8135. Obidva obvody boli získane zdarma ako testovacie vzorky od firmy Texas Instruments. Na Obr. 10 je bloková schéma rozširujúcej dosky.



Obr. 10: Bloková schéma rozširujúcej dosky

2.2.1 TVP5146M2PFP a THS8135

Obvod TVP5146M2PFP je výkonný analógovo-číslcový prevodník videa. Vie spracovať komponentné video RGB aj YPbPr a takisto konverziu a dekódovanie kompozitného (CVBS) a S-video signálu vo všetkých farebných sústavách (NTSC, PAL, SECAM). Tento prevodník obsahuje štyri 10 bitové prevodníky s rýchlosťou 30MSPS (miliónov vzoriek za sekundu). 10 video-vstupov môže byť nakonfigurovaných na vstup videa vo formátoch RGB, YPbPr, CVBS aj S-video. Komponentné, kompozitné aj S-video sú vzorkované dvojnásobnou vzorkovacou frekvenciou podľa ITU-R BT.601 a následné sú decimované. Dekódovanie CVBS využíva 5 cestný prispôsobiteľný hrebeňový filter na oddelenie chrominančných a jasových zložiek signálu a znižuje sa tak prekrývanie týchto dvoch zložiek (cross-luma a cross-chroma artifact). Pri kódovaní CVBS a S-video signálov môže užívateľ cez rozhranie I2C meniť obrazové vlastnosti ako kontrast, jas, farebne nasýtenie a farebný odtieň. K dispozícii sú tieto výstupné formáty: 20-bitov 4:2:2 YCbCr alebo 10-bitov 4:2:2 YCbCr. Prevodník TVP5246M2 generuje okrem digitálnych video výstupov aj synchronizačné signály, signály zatemnenia, signál oblasti videa (FID), aktívneho obrazu videa (AVID), horizontálnu (HS) aj vertikálnu (VS) synchronizáciu, hodinový signál (DATACLK), programovateľné vstupno/výstupné logické signály, uzamykacie signály. Obsahuje aj metódy pre rozšírené vyhľadávanie dát v snímkových zatemňovacích intervaloch (VBI). VBI procesor kontroluje a vyhodnocuje chyby v teletexte, skrytých titulkoch (CC) a ostatných VBI dátach. Vstavaný register FIFO si zapamätá 11 riadkov teletextu a s vlastnou synchronizáciou je možné získať celoobrazový teletext. Dekodér umožňuje nastaviť súbežné spracovanie obrazu CVBS aj RGB/YPbPr vstupných signálov.

Prevodník TVP5146M2 sa vyznačuje robustnou synchronizačnou detekciou pre slabé a zašumené signály. Na oddelenie jasů a farby používa 2-D 5 cestný adaptívny hrebeňový alebo chrominančný filter. Prevodník obsahuje rýchlo spínaný vstup pre prepínanie obrazových prvkov medzi CVBS a YPbPr/RGB komponentnými video vstupmi (tzv. SCART prepínač), procesor pre jas, farbu, komponentné video, hodinový procesor a riadenie vypnutia, softvérovo riadenú spotrebu v pohotovostnom stave, rozhranie I²C a obvod pre ochranu proti kopírovaniu Macrovision™.

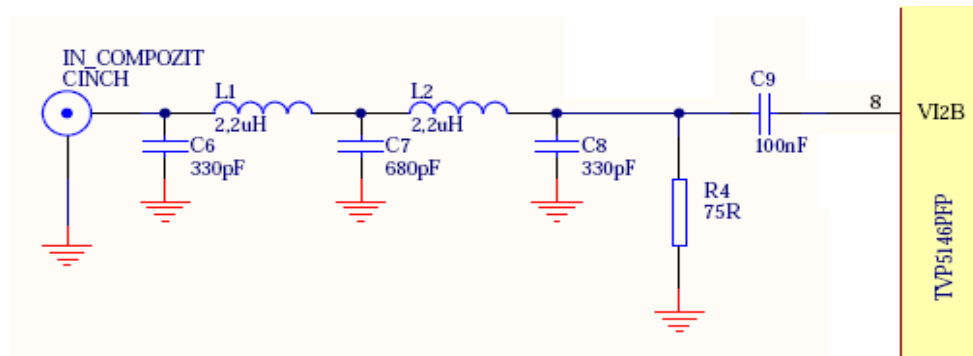
THS8135 je rýchly D/A prevodník optimalizovaný pre použitie pri obrazových a grafických aplikáciách. Analógová časť je napájaná 3,3V, digitálna 1,8V. Prevodník THS8135 je schopný vzorkovať s rýchlosťou 240MSPS. Pozostáva z troch 10-bitových D/A prevodníkov a dodatočných obvodov pre výrobu dvojúrovňovej aj trojúrovňovej synchronizácie a zatemňovacích impulzov. Za predpokladu že signál obsahuje jednosmerný posun, prevodník môže vložiť do signálu dvoj-úrovňového negatívnu a do troj-úrovňového negatívnu aj pozitívnu synchronizáciu buď len na zelený/jasový kanál (RG&SB, YPbPr, S-video), alebo na všetky obrazové kanály (RGB). V móde generic DAC sa jednosmernému posunu (jednosmernej zložke) zabráni, čiže prevodník môže byť použitý aj na iné ako video aplikácie. Vstupný formát dát môže byť 3x10 bitov s rozložením 4:4:4, 2x10 bitov a 4:2:2 alebo 1x10 bitov a 4:2:2. Toto umožňuje priame pripojenie ku širokému okruhu zariadení produkujúcich digitálny video signál vrátane zariadení generujúcich video signál podľa normy ITU-R.BT656. THS8135 ale potrebuje špecifickú vstupnú synchronizáciu na správne vloženie kompozitnej synchronizácie na výstupy, keďže nedokáže extrahovať vloženú synchronizáciu podľa normy ITU-R.BT656. Prevodník umožňuje priame spojenie s 75 ohmovým vstupom so štandardnými video úrovňami. Použitie prevodníka je hlavne v HDTV set-top boxoch, prijímačoch, zobrazovacích jednotkách a na spracovanie obrazu s vysokým rozlíšením.

2.2.2 OPIS SCHÉMY ZAPOJENIA ROZŠIRUJÚCEJ KARTY

Doska je osadená jedným A/D prevodníkom TVP5146PFP a jedným prevodníkom D/A THS8135. Základné charakteristiky prevodníkov boli opísané v predchádzajúcej kapitole. Rozširujúca karta je určená na digitalizáciu analógového kompozitného (CVBS) alebo analógového VGA RGB signálu a na prevod digitálneho signálu na analógový komponentný video-signal vo formáte YPbPr, alebo v prípade použitia vhodného kódovacieho algoritmu priamo v obvode FPGA aj kompozitný signál. Doska je spojená cez rozhranie SANTA CRUZ s doskou od spoločnosti Altera, DSP Development Kit, Cyclone II Edition EP2C70F672 FPGA. V princípe môže byť spojená s každou doskou, ktorá obsahuje rozhranie SANTA CRUZ.

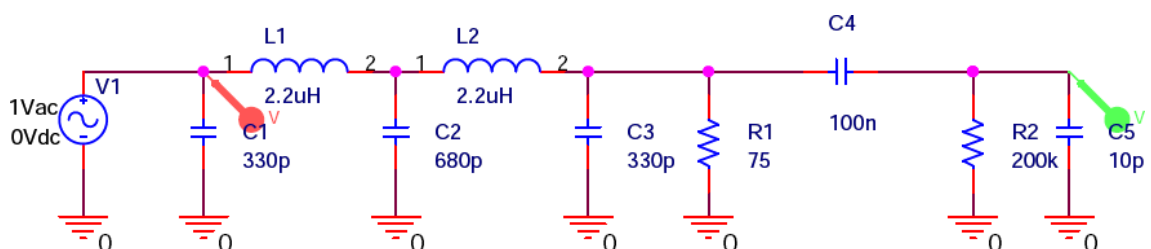
Doska sa dá rozdeliť na tri funkčne odlišné časti: analógovo-číslcový prevodník, číslicovo-analógový prevodník a zdroj stabilizovaného napájacieho napätia. Tieto tri

časti sú na schéme zapojenia graficky oddelené, každá na samostatnej strane. Schéma zapojenia je v prílohách.



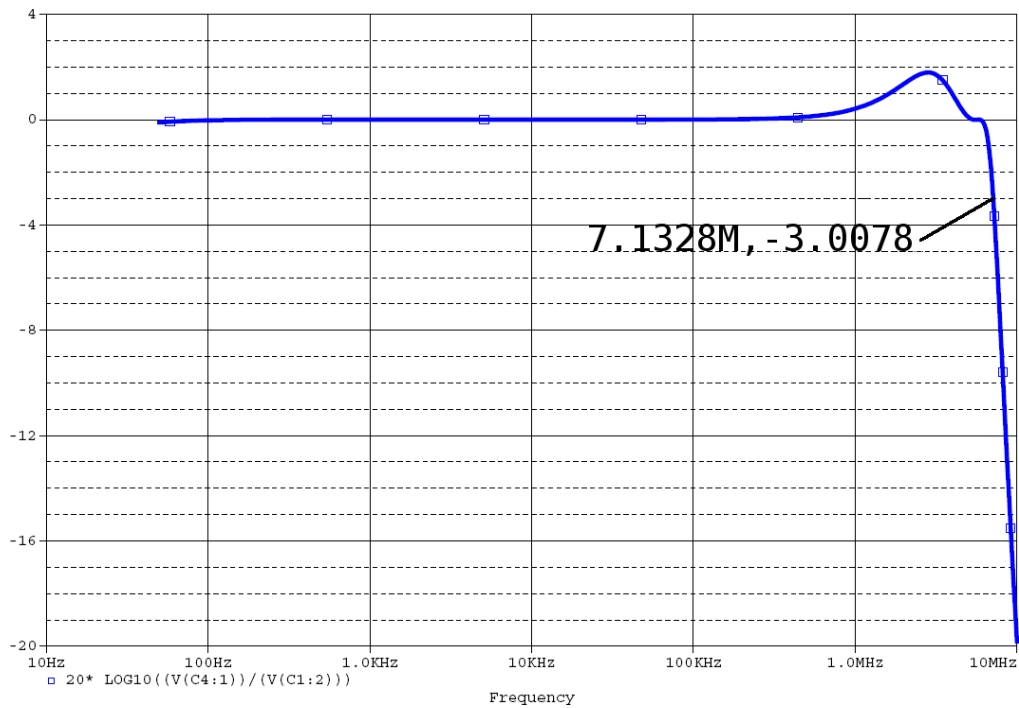
Obr. 11: Zapojenie vstupného filtra kompozitného vstupu

Časť analógovo-číslcový prevodník obsahuje A/D prevodník TVP5146M2PFP opísaný vyššie. Kompozitný signál do tohto prevodníka je privádzaný z RCA konektora cez dolno-priepustný filter tvorený v sérii zapojenými cievkami L1 a L2 s indukčnosťou $2,2\mu\text{H}$, ku ktorým sú pripojené kondenzátory C6, C8 s kapacitou 330pF a kondenzátor C7 s kapacitou 680pF . Tieto kondenzátory majú druhý vývod pripojený k zemi. Ďalej signál postupuje cez oddeľovací kondenzátor C9 (100nF), ktorý slúži na blokovanie jednosmernej zložky signálu. Medzi zemou a bodom spojenia C9 a L2 je pripojený rezistor s vnútorným odporom 75Ω , ktorý prispôsobuje vstupný odpor celého filtra na 75Ω koaxiálny kábel, ktorým je privedený signál od zdroja video-signálu. Ďalej pokračuje signál na vstup prevodníka s označením VI2B (pin 8), ktorého minimálny vstupný odpor je podľa [3] $200\text{k}\Omega$ a maximálna vstupná kapacita by nemala presiahnuť 10pF . Celá táto vetva spolu zo vstupnými charakteristikami prevodníka tvoria dolno-priepustný filter s približnou teoretickou hraničnou frekvenciou $7,1\text{MHz}$. Táto hodnota bola získaná simuláciou ekvivalentného zapojenia v simulačnom programe SPICE pomocou AC analýzy. Na Obr. 11 je vidieť použité reálne zapojenie tejto vetvy a na Obr. 12 je vidieť ekvivalentne zapojenie v SPICE (C1=C6, C2=C7, C3=C8, C4=C9, R1=R4, R2 a C5 sú hraničné vstupne charakteristiky prevodníka TVP5146M2PFP).

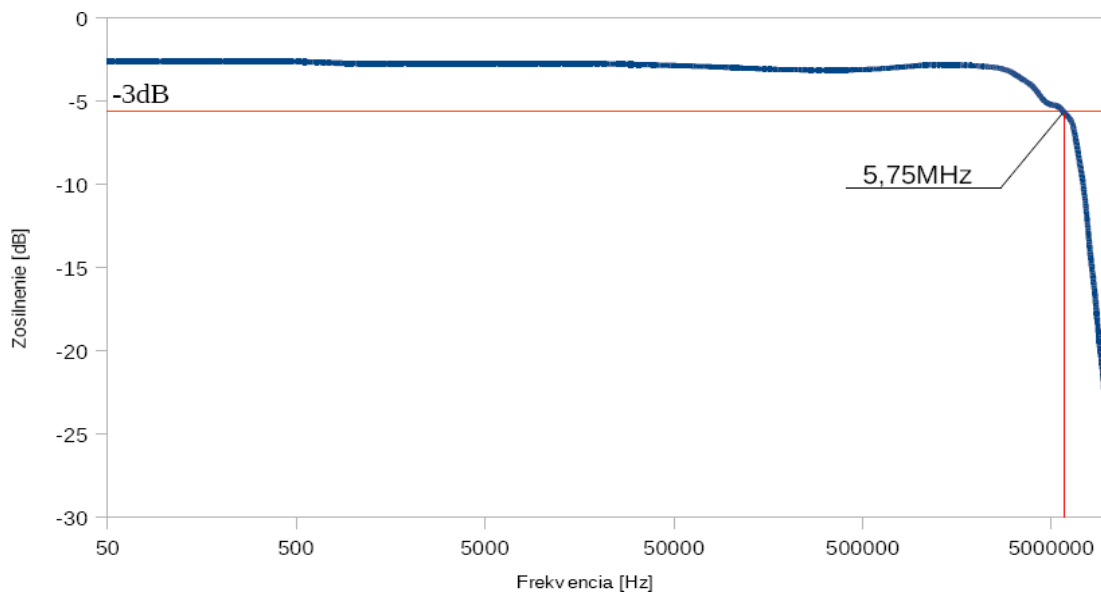


Obr. 12: Ekvivalentné zapojenie vstupného filtra v programe SPICE

Na Obr. 13 je výsledný graf AC analýzy tejto vetvy v SPICE. V grafe je vynesená úroveň útlmu v dB medzi vstupným a výstupným napätím podľa vzťahu $20\log(U_{\text{vyst}}/U_{\text{vst}})$. Ako vstupný signál bol nastavený sínusový signál s napätím 1V_{šš} od frekvencie 50 Hz až po frekvenciu 10MHz. Meraním filtra na prototypovej doske vytvorenej s použitím týchto súčiastok s rovnakým vstupným signálom v rovnakom frekvenčnom rozmedzí (1V_{šš}, sínus 50Hz-10MHz) sa získali hodnoty, podľa ktorých výpočtom zistená hraničná frekvencia nezodpovedá teoretickej frekvencii. Nameraná hraničná frekvencia DP-filtra (Obr. 14) je 5,75MHz, čo je približne 1,35MHz menej ako teoretická hodnota. Táto odchýlka sa dá zdôvodniť menej presným odčítaním meraných napätí z osciloskopu, impedančné neprispôsobeným meracím bodom a odporom vodičov použitých pri meraní a v najväčšej miere toleranciou hodnôt použitých súčiastok. Keďže ale je tento vstup využívaný na digitalizáciu kompozitného videa, ktorého horná hranica frekvenčného spektra končí niekde pri 5MHz, je táto hodnota postačujúca na kvalitné spracovanie kompozitného videa (PAL B/G má šírku 5MHz) a pritom obmedzenie frekvencii z vyšších pásiem (pásmo KV). Meracie prístroje použité pri meraní boli osciloskop LG OS-5020 (20MHz) a generátor Hewlett Packard 33120A (15MHz).



Obr. 13: Výsledný graf AC analýzy vstupného filtra v OrCADE

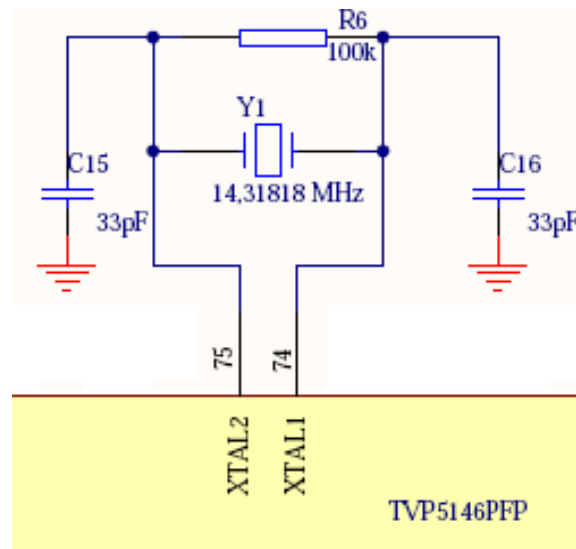


Obr. 14: Výsledný graf merania frekvenčnej charakteristiky filtra na prototypovej doske

Návrh tejto časti počíta aj s možnosťou pripojenia iného ako kompozitného vstupu. Signál z 4 pinového konektora IN_RGB, ktorého jeden pin (4) je pripojený k zemi, je cez oddeľovacie kondenzátory C1, C2 a C3 (s rovnakým účelom ako C9, teda odstrániť jednosmernú zložku) vedený priamo na vstupne piny prevodníka VI1A (pin 80), VI2A (pin 7) a VI3A (pin 16). Tieto vstupy nie sú ošetrené DP-filtrom ako kompozitný vstup z dôvodu univerzálnosti využitia. Tieto vstupy sa dajú využiť na

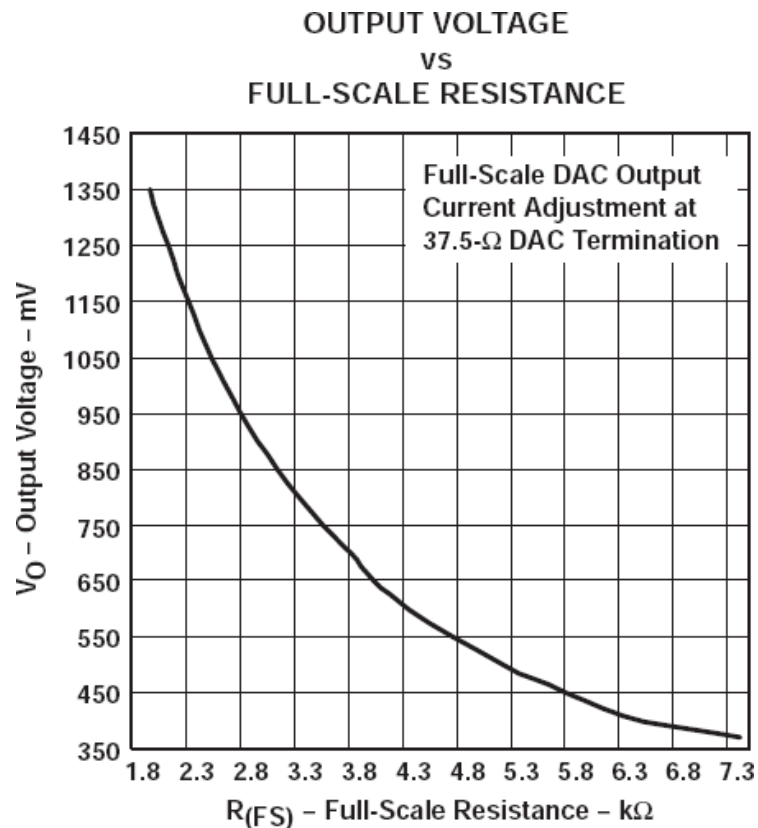
pripojenie RGB, YPbPr alebo aj S-video signálu, prípadne troch nezávislých kompozitných (CVBS) signálov a ich následnú digitalizáciu. Prevodník obsahuje ďalších 6 nezapojených vstupov, ktoré sú cez kondenzátory s kapacitou 100nF pripojené k zemi. Zapojenie dátových výstupov prevodníka je navrhnuté na využitie 1x10 bitového YPbPr módu, čiže sú využité výstupy Y0 až Y9. Signál z týchto výstupov ide cez rezistory s odporom 33Ω priamo na rozhranie SANTA CRUZ. Tieto rezistory majú ochranný účinok obmedzením výstupného prúdu z prevodníka v prípade skratu.

Výstupy C0 až C9 nie sú zapojené. Ostatne výstupy sú priamo prepojené s konektorom SANTA CRUZ. Vstup GLCO/I2CA je pripojený cez rezistor s odporom 4,7kΩ na napätie 3,3V. Tento vstup slúži na nastavenie siedmeho bitu I2C adresy prevodníka. Ak je na tomto vstupe logická 0, bude adresa na zápis do prevodníka B8h (10111000b), v prípade logickej 1 bude adresa BAh (10111010b). Pripojenie na napájacie napätie teda znamená logickú jednotku, čiže prevodník na doske má prednastavenú I2C adresu na zápis B8h a na čítanie B9h. Keďže je tento vstup pripojený aj k SANTA CRUZ konektoru a cez neho k FPGA obvodu, ide toto prednastavenie jednoducho obísť pripojením príslušnej logickej hodnoty na tento pin. Rezistor R9 v tomto prípade zabezpečí to, aby obvodom nepretekala veľký prúd v prípade, ak by sa nastavila logická nula. Ak by tento rezistor chýbal a vstup by bol pripojený priamo na napájacie napätie, v prípade nastavenia logickej nuly na výstupe z FPGA obvodu by týmto pretekala skratový prúd a mohlo by dôjsť k poškodeniu obvodu. Podobne sú zapojené aj vstupno/výstupné vodiče I2C zbernice, teda hodinový vstup SCL (pin 28) a dátový vstup/výstup SDA (pin 29), ktoré sú pomocou rezistorov R41 a R42 (obidva 2,2kΩ) pripojené k napájacemu napätiu 3,3V. Výstup FID je naopak pomocou rezistora R7 (2,2kΩ) pripojený k zemi. Obvod pre svoju činnosť potrebuje na vstupe XTAL1 hodinový signál. V tomto riešení sa hodinový signál vyrába pomocou kryštálu Y1, ktorý kmitá na frekvencii 14,31818 MHz. Kryštál je pripojený k vývodom XTAL1 (pin 74) a XTAL2 (pin 75) (Obr. 15). Ku kryštálu sú pripojené pomocne kondenzátory C15 a C16 (obidva 33pF) a rezistor R6 (100kΩ), ktoré majú za úlohu rozkmitanie oscilátora pri zapnutí napájacieho napätia



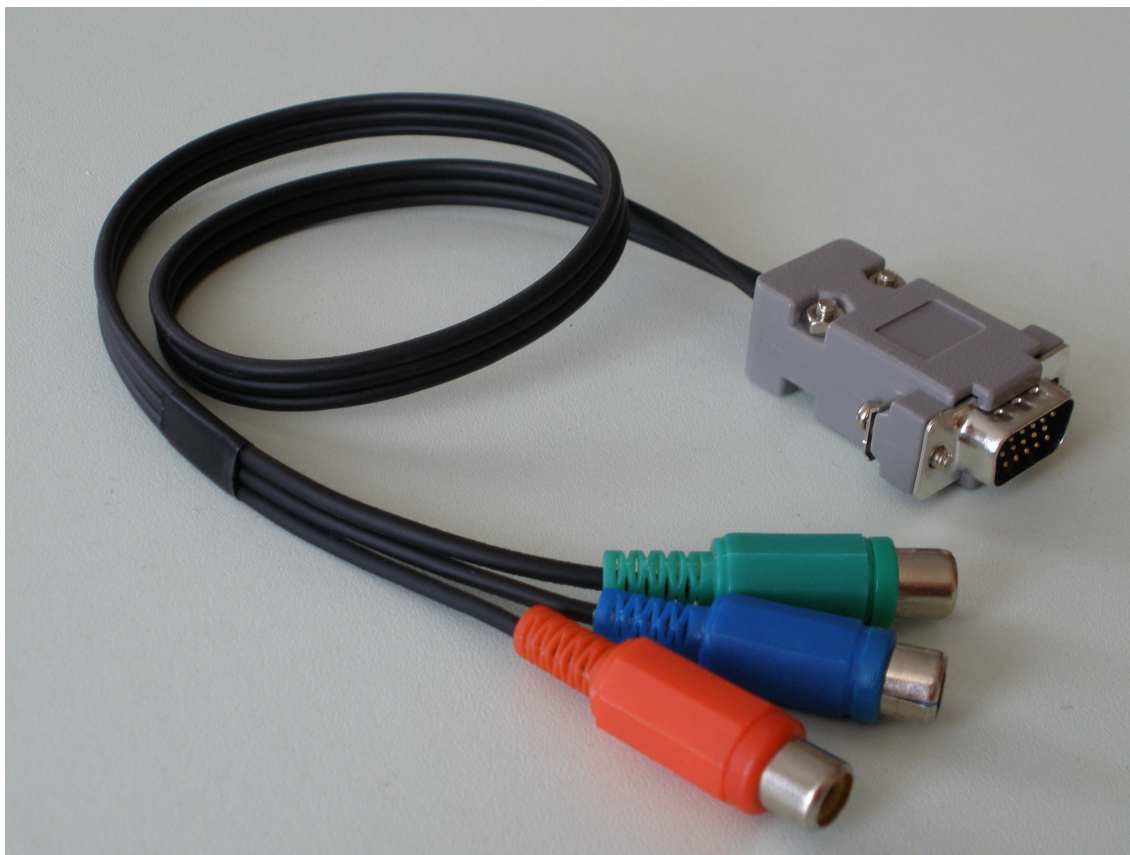
Obr. 15: Pripojenie kryštálu k prevodníku TVP5146M2PFP

Druhá časť dosky je tvorená prevodníkom THS8135 s minimálnym počtom externých súčiastok. Tento prevodník 3x10 bitový prevodník je zapojený v móde 1x10 bitov. Zapojene vývody GY9 až GY0 (piny 27-36) sú pripojené k SANTA CRUZ konektoru cez rezistory R25 až R34 s odporom 33Ω . Tieto rezistory podobne ako pri prevodníku TVP5146M2PFP slúžia ako ochranné pre obmedzenie maximálneho prúdu pri prípadnej poruche. Zvyšných 20 dátových vstupov prevodníka nieje zapojených ani inak ošetrených (piny 1-10 a 13-22). Synchronizačné a konfiguračné vstupy SYNC, SYNC_T, BLANK a hodinový signál CLK sú tiež pripojené k rozhraniu SANTA CRUZ cez ochranné rezistory s odporom 33Ω . Konfiguračné vstupy M1 a M2 sú pripojené priamo. Kondenzátor C23 s kapacitou 100nF je zapojený na vstup referenčného napätia Vref a zem. Je tým zabezpečené nastavenie nominálneho referenčného napätia v prevodníku na 1,2V. Na vývod COMP (pin 39), čo je podľa [4] tzv. kompenzačný vývod, musí byť pripojený kompenzačný kondenzátor s kapacitou 100nF (C22). Vývod prevodníka FSADJ (pin 38) je určený k nastaveniu výstupnej úrovne signálu. Na nastavenie slúži rezistor pripojený medzi tento vývod a zem. Veľkosť odporu tohto rezistora určuje výstupnú úroveň signálu. Obr. 16 znázorňuje závislosť výstupnej úrovne signálu v mV od odporu rezistora v $k\Omega$ (v návrhu R24).



Obr. 16: Závislosť výstupnej úrovne signálu od odporu $R_{(FS)}$

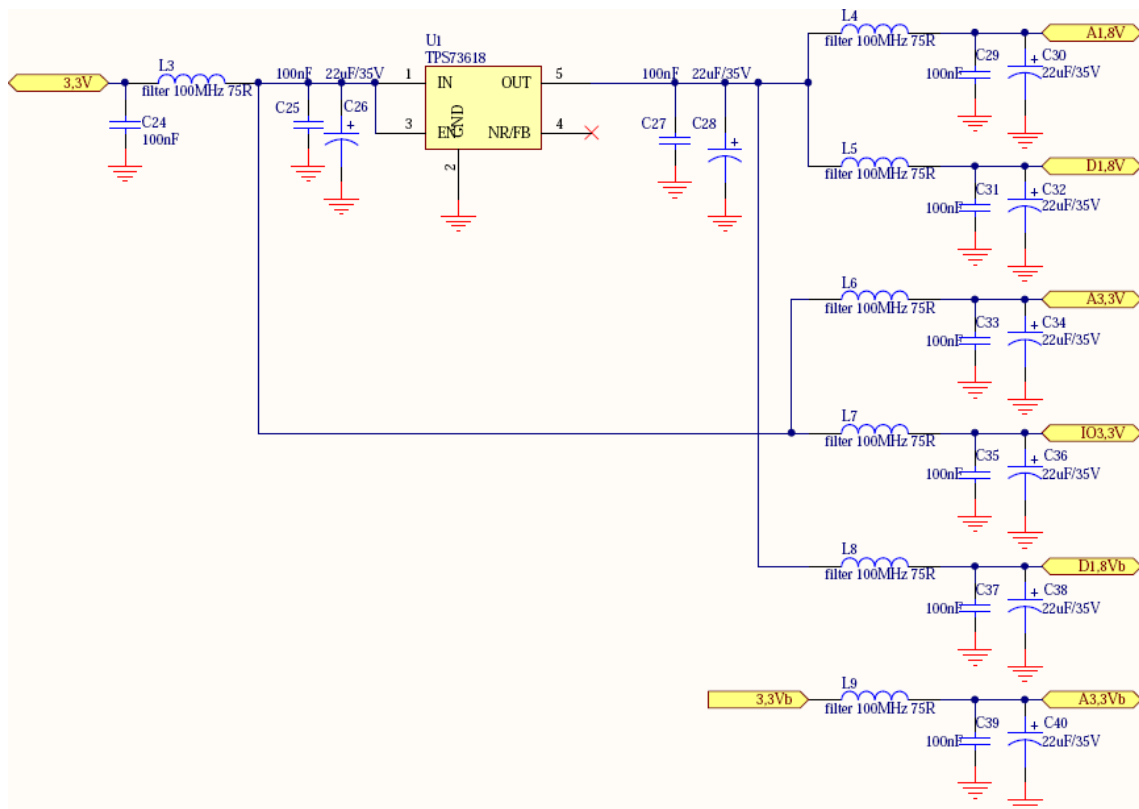
Výstupy z prevodníka OUT_G_Y, OUT_B_Pb a OUT_R_Pr sú priamo pripojené k výstupným RCA konektorm, avšak na prototypovej doske bol použitý 15 pinový trojradový CANON konektor DB15 bežne používaný na VGA kartách a OUT_G_Y bol ešte zvlášť vyvedený na RCA konektor. Na pripojenie prototypovej dosky k YPbPr-kompatibilnému zariadeniu bol vytvorený prepojovací kábel na jednej strane s VGA DB-15 CANON konektorom a na druhej trojicou RCA konektorov vo farebnom prevedení zelená-modrá-červená pre signály Y-Pb-Pr Obr. 17. Výstupy sú podobne ako kompozitný vstup prevodníka TVP5146M2PFP impedančne prispôsobene na koaxiálny 75 Ω kábel pomocou rezistorov s odporom 75 Ω pripojených medzi výstupy prevodníka Y,Pb a Pr a zem. Výstupy Y, Pb a Pr sú ešte spolu s dvoma výstupmi VS_out a HS_out (pripojenými cez ochranné rezistory R39 a R40 (33 Ω) k rozhraniu SANTA CRUZ) pripojené k 6 pinovému konektoru. Pin 6 tohto konektora je pripojený k zemi. K tomuto konektoru sa eventuálne môže pripojiť ďalšie zariadenie spracúvajúce video-signal (napríklad zosilňovač alebo analógový vysielač a podobne).



Obr. 17: Prepojovací kábel CANON VGA DB15 na YPbPr RCA konektory

Obidva prevodníky potrebujú na svoju činnosť napájacie napätia 3,3V a 1,8V. Prevodník TVP5146M2PFP potrebuje pre svoju činnosť 4 napájacie napätia. Oddelené napätia 3,3V pre digitálnu aj analógovú časť a dve oddelené vetvy pre napätie 1,8V, tiež pre analógovú a digitálnu časť zvlášť. Prevodník THS8135 má napájanie riešené jednoduchšie. Napätím 3,3V je napájaná analógová časť prevodníka, napätím 1,8V digitálna. Napätie 3,3V je privádzané z rozhrania SANTA CRUZ z pinu s číslom 19, 20-pinového konektora na filter naznačený v schéme (Obr. 18), pre svoj indukčný charakter, ako cievka L3 (všetky filtre L3-L9 sú 100MHz filtre s odporom 75Ω a maximálnym možným prúdom 3A). Odtiaľ je po vyhladení vyhladzovacími kondenzátormi C25 a C26 vedené na nízkonapäťový stabilizátor jednosmerného napätia TPS73618 vyrobeným firmou Texas Instruments s maximálnym prúdovým zaťažením 400mA. Posledne dve číslice naznačujú, že stabilizované výstupné napätie je 1,8V. Vytvorené napätie 1,8V sa ďalej po vyhladení kondenzátormi C27 a C28 rozdeľuje do troch rôznych vetiev oddelených filtermi L4, L5 a L8. Vetva s filtrom L4 napája analógovú časť prevodníka TVP5146M2PFP, vetva s filtrom L5 jeho digitálnu časť.

Vetva filtra L8 napája digitálnu vetvu D/A prevodníka THS8135. Z filtra L3 je tiež vedené napätie na filtre L6 a L7. Napätím z týchto dvoch vetiev je napájaná 3,3V časť A/D prevodníka TVP5146M2PFP. Napätie z L6 je vedené na analógovú 3,3V časť a L7 napája digitálnu 3,3V časť. Analógová časť D/A prevodníka THS8135 je napájaná napätím 3,3V vedeným z 20-pinového SANTA CRUZ konektora z pinu s číslom 5. Toto napätie je prv filtrované vo filtri L9. V každej vetve sú ešte zapojené vyhladzovacie kondenzátory s kapacitou 22 μ F a kondenzátory s kapacitou 100nF, ktoré sú rozmiestnené čo najbližšie k napájacím vývodom prevodníkov, aby vyrovnávali špičkové úbytky napätia na týchto prevodníkoch.



Obr. 18: Zdrojová časť dosky

2.2.3 PRÚDOVA ANALÝZA

Rozhranie SANTA CRUZ obsahuje vývody s napájacími napätiami pre napájanie rozširujúcej dosky. Sú tu dostupné napätia 3,3V a 5V. Napätie 5V sa v návrhu nevyužíva. Napätie 3,3V má dovolené maximálne prúdové zaťaženie 1A na všetkých 3,3V vývodoch dokopy. Predpokladané hodnoty prúdového zaťaženia, pre jednotlivé prevodníky na doske uvedené v Tab. 1, boli získane z katalógových listov prevodníkov [3] a [4]. Ako vyplýva z Tab. 1, celkový predpokladaný odber pri nastavení

prevodníkov na spracovanie kompozitného videa na vstupe a YPbPr na výstupe je 255,65mA. Po zostrojení prototypovej dosky sa vykonali merania, ktorých výsledky sú v Tab. 2. Ak porovnáme Tab. 1 a Tab. 2, zistíme že reálna doska ma väčší odber ako je predpokladaný odber uvedený v katalógu. Tento fakt nieje vôbec prekvapujúci vzhľadom na to, že prevodníky v čase merania spotreby neboli nakonfigurované, keďže doska nebola pripojená k vývojovému kitu a teda prevodníky boli vo svojom východzom nenakonfigurovanom stave.

Prevodníky	Typická spotreba
THS8135	88,15mA
I_{AVDD} 3,3V	76mA
I_{DVDD} 1,8V	12,15mA
TVP5146M2PFP	167,5mA
$I_{DDIO(D)}$ 3,3V	6mA
$I_{DD(D)}$ 1,8V	66,2mA
$I_{DD33(A)}$ 3,3V	16mA
$I_{DD18(A)}$ 1,8V	79,3mA
Spolu	255,65mA
3,3V	98mA
1,8V	157,65mA

Tab. 1: Predpokladaná spotreba prevodníkov a celková spotreba

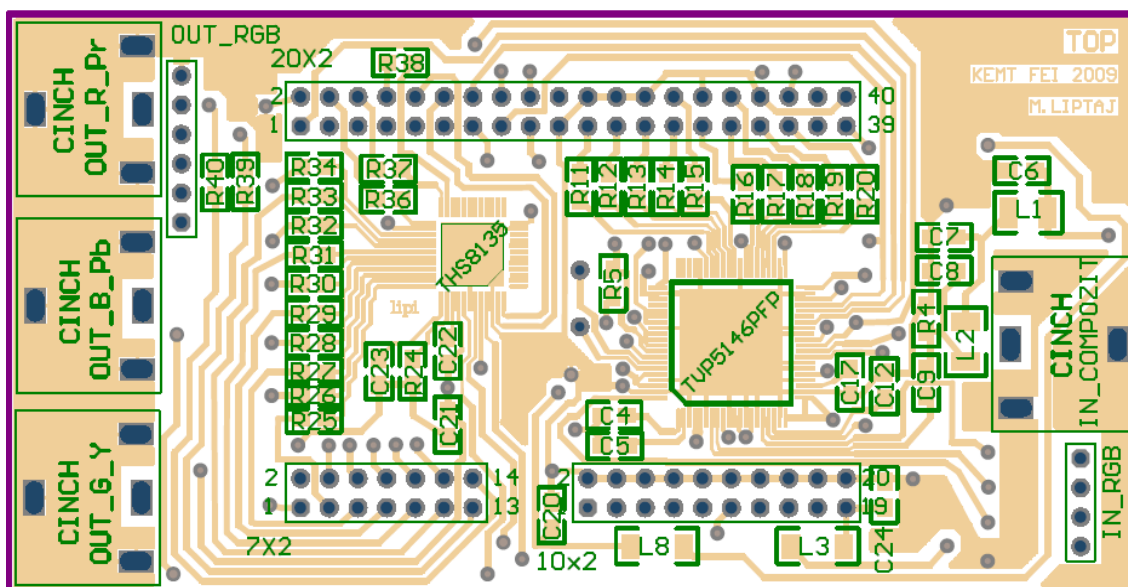
Napät'ová vetva	Nameraná spotreba
3,3V	15mA
3,3Vb	90mA
Celkovo 3,3V	110mA
1,8V	180mA
Spolu	285mA

Tab. 2: Nameraná spotreba jednotlivých napät'ových vetiev prototypovej dosky

2.2.4 VÝROBA PROTOTYPOVEJ DOSKY PREVODNÍKOV

Prototypová doska prevodníkov je zhotovená na obojstrannej doske plošného spoja o rozmeroch 107x50x1,5 mm. Výroba bola realizovaná v amatérskych podmienkach.

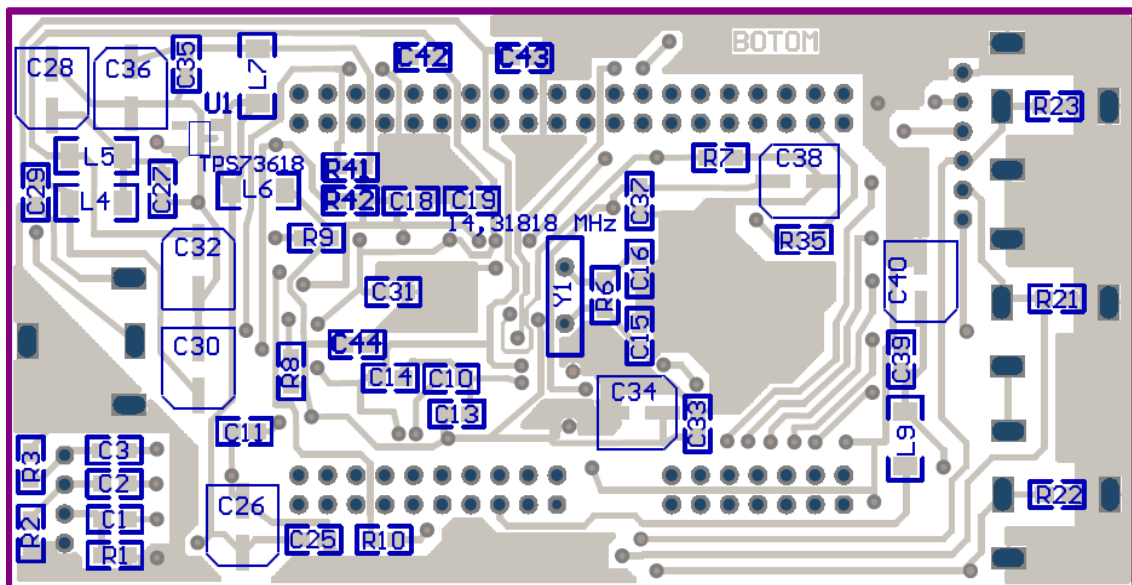
Všetky integrované obvody (prevodníky a stabilizátor napätia), kondenzátory, rezistory aj cievky sú v prevedení pre povrchovú montáž (SMD). Rozmery dosky sú ohraničené použitím štandardizovaného SANTA CRUZ konektora, ktorý je tvorený tromi dvojradoвыми konektormi o počte pinov 40, 20 a 14. Cieľom bolo navrhnuť čo najmenšie rozmery dosky, čo bolo obmedzene dodržaním štandardizovaných rozmerov a odporúčaní k SANTA CRUZ konektoru.



Obr. 19: Rozmiestnenie súčiastok na rozširujúcej doske zo strany súčiastok

Po vytvorení návrhu plošného spoja bola najprv vytlačená predloha oboch strán na priesvitné fólie. Prvá fólia (strana TOP, Obr. 19) sa položila na foto-citlivý plošný spoj a zaťažilo sa to priesvitným sklom, aby sa fólia s predlohou vyrovnala. Celé sa to na približne 15 minút osvetľovalo svetlom z halogénovej žiarivky s príkonom 500W. Po osvetlení sa plošný spoj ponoril do vývojky tvorenej 1,5% roztokom hydroxidu sodného. Potom nasledoval proces leptania, kde ako leptací roztok bol použitý roztok chloridu železitého. Po vyleptaní prvej strany sa vyvrtalo niekoľko prepojovacích dier, aby sa dalo jednoducho presne nastaviť prekryvanie oboch strán. Potom sa priložila predloha z druhou stranou (BOTTOM, Obr. 20), a celý proces osvetľovania, vyvolania a leptania sa zopakoval. Nasledovalo vŕtanie zvyšných dier a frézovanie otvorov pre

konektory RCA. Vrtanie a frézovanie bolo vykonané pomocou malej ručnej elektrickej vŕtačky. Na prepojky medzi stranami bol použitý vrták s priemerom 0.5mm. Diery pre konektory rozhrania SANTA CRUZ, konektor VGA a kryštál boli vyvrtané vrtákom s priemerom 0.8mm. Drážky konektorov RCA boli vyfrézované frézovacím nadstavcom priemeru 1mm. Diery pre uchytenie konektora VGA sú vŕtané vrtákom priemeru 3mm. Po vyvrtaní bol celý plošný spoj vyčistený acetónovým riedidlom a obrúsený jemným brúsnyim papierom. Nasledovalo naniesenie pájkovacej pasty na pájkované plôšky. Po tomto kroku nasledovalo napájkovanie prepojov medzi stranami. Ide o náhradu za prekovenie otvorov, keďže to by sa v amatérskych podmienkach ťažko realizovalo. Prepoje sú realizované tenkým drôtom pripájkovaným z jednej aj druhej strany. Ďalej sa pokračovalo s pocínovaním pájkovaných plôch. Potom sa postupne napájkovali obidva prevodníky, stabilizátor napätia a všetky ostatné súčiastky. Nakoniec boli napájkové kryštál a konektory SANTA CRUZ, konektory RCA a konektor VGA.



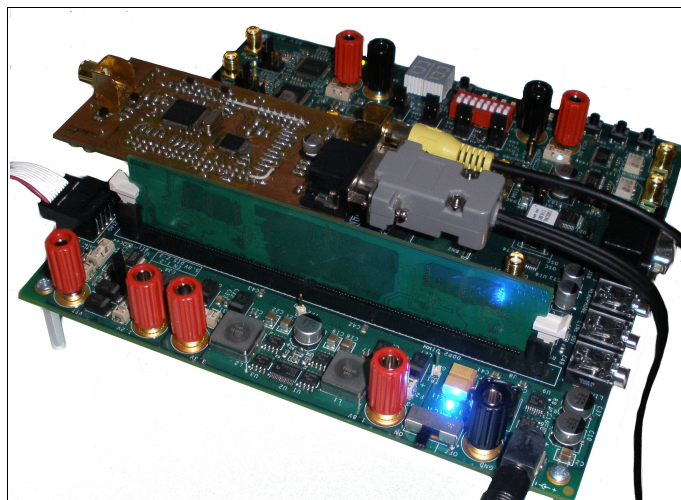
Obr. 20: Rozmiestnenie súčiastok na rozširujúcej doske zo strany spojov

Okrem prototypovej dosky slúžiacej na overenie funkčnosti zapojenia sa počíta aj s profesionálnou výrobou dosky. Pre tento účel bol upravený celý návrh. Na prototypovej doske bol ako výstup z D/A prevodníka použitý VGA konektor, na profesionálnej doske sa počíta s trojicou RCA konektorov, každý pre jednu zložku komponentného videa, teda Y, Pb a Pr. Tým sa zmenšili aj rozmery dosky na rozmer 100x50x1,5mm. Ďalšou zmenou je skutočnosť, že prepoje medzi stranami budú pokovené, a teda odpadá nutnosť realizácie prepojov pomocou napájkovaného drôtu,

ako to bolo pri výrobe prototypovej dosky. Na **Obr. 19** je rozmiestnenie súčiastok na doske pre profesionálnu výrobu zo strany súčiastok (TOP) a na **Obr. 20** zo strany spojov (BOTTOM).

2.2.5 OŽIVENIE PROTOTYPOVEJ ROZŠIRUJÚCEJ DOSKY

Po vizuálnej kontrole sa na plošnom spoji s napájkovanými súčiastkami pomocou multimetra skontrolovali plošne spoje na prítomnosť prípadných skratov spôsobených zlým prispájkovaním či chybnou súčiastkou a tiež, či všetky súčiastky sú prispájkované správne. Po tejto kontrole sa pripojilo jednosmerné napätie 3,3V na pin číslo 19, 20-pinového konektora rozhrania SANTA CRUZ a zem a zmeral sa prúd. Nemal by presiahnuť 200mA. Nameraný prúd bol 195mA. Ďalším krokom je kontrola napätia na výstupe stabilizátora TPS73618, ktoré by malo byť rovné 1,8V. Ďalej sa opatrne pripojilo jednosmerné napätie na pin číslo 5 toho istého konektora. Tým sa uviedol do činnosti aj druhý prevodník THS8135. Prúd na tomto vývode by nemal presiahnuť 100mA. Nameraný prúd bol 90mA. Napätie 3,3V bolo odoberané zo stabilizovaného zdroja jednosmerného napätia s prúdovou ochranou, ktorá bola nastavená pri prvom pripojení na 200mA. Pri pripojení napätia aj na pin číslo 5 bolo prúdové obmedzenie nastavené na hodnotu 0.5A. Po tomto kontrolnom procese nasledovalo pripojenie rozširujúcej dosky do vývojového kitu s FPGA obvodom CycloneII a po zapnutí napájacieho napätia následná kontrola napätí na rozširujúcej doske (3,3V a 1,8V). Ďalšia kontrola funkčnosti sa uskutočnila až konfiguráciou a inicializáciou prevodníkov pomocou obvodu FPGA. Tento proces je popísaný v kapitole 3.2.



Obr. 21: Vývojová a rozširujúca doska, spojené pomocou rozhrania SANTA CRUZ

3 SOFTVÉR

Funkcie duševného vlastníctva, funkcie IP (z anglického Intellectual property) sú v elektronike chápané ako veľké ucelené funkčné bloky s pomerne zložitou funkciou. Tieto bloky, ktoré sú napísane zväčša v jazykoch VHDL alebo Verilog a sú syntetizovateľné, vyrábajú a predávajú mnohé firmy. Taktiež existuje projekt OpenCores.org [7], kde je mnoho takýchto IP funkcií vydávaných Open Source komunitou s otvoreným kódom aj s licenciami, ako BSD licencia (Berkeley Software Distribution) alebo LGPL (Lesser General Public License). V ďalších kapitolách budú uvedené IP funkcie firmy ALTERA z oblasti spracovania video-sigánalov. Firma Altera dodáva tieto IP funkcie spolu s vývojovým prostredím Quartus® II software, pomocou ktorého je možné celý projekt vytvoriť, skompilovať, odladiť, simulovať v internom simulátore, alebo použiť externý simulátor (napríklad ModelSim od firmy Mentor Graphics), vygenerovaný programovací súbor nahráť do samotného FPGA alebo CPLD obvodu a veľa iného.

3.1 IP funkcie

IP funkcie na spracovanie videa od firmy Altera sú súčasťou balíka IP funkcií s názvom Altera MegaCore IP Library Evaluation, ktorý sa dá stiahnuť z internetovej stránky spoločnosti Altera v sekcii download spolu s tzv. web edíciou vývojového prostredia Quartus (Quartus II Web Edition), alebo spolu s platenou verziou tohoto prostredia (Quartus II Subscription Edition). Použitie niektorých z týchto funkcií je možné bez zakúpenia licencie len obmedzene. Obmedzenie spočíva v tom, že konkrétne funkcie sa sice budú dať skompilovať aj nasadiť na hardvér, lenže budú časovo obmedzene tzv. „time limited“. V praxi to znamená, že funkcie fungujú len dovtedy, kým sa neodpojí konfiguračné zariadenie, cez ktoré sa obvod konfiguroval (spravidla JTAG rozhranie, v našom prípade JTAG USB Blaster vyvinutý na KEMT FEI TU v Košiciach), alebo neuplynie určitý časový interval. Tieto dva módy sú (podľa [8]) nazvané ako „Tethered“ a „Untethered“ (anglicky viazaný a neviazaný). Tento spôsob distribúcie IP funkcií ma výhodu v tom, že pri vývoji aplikácie môže vývojár siahnuť po týchto funkciách a zistiť, či budú v danej aplikácii fungovať so želaným výsledkom a až

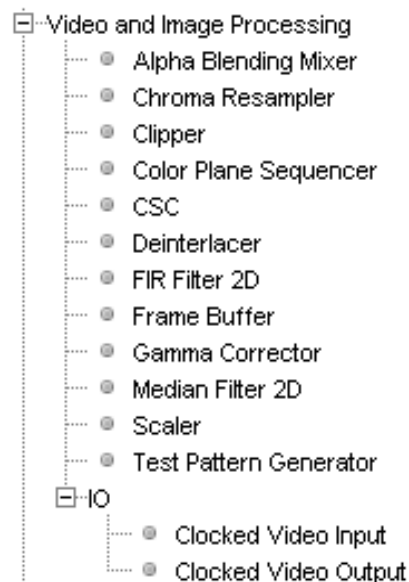
v prípade úspešného zakomponovania IP funkcie do danej aplikácie kúpiť plnú licenciu na konkrétnu IP funkciu. Tieto IP funkcie sú navyše simulovateľné bez časového obmedzenia. Ak sa pri kompilácii zistí, že v návrhu je použitá jedna alebo viac funkcií s obmedzeným časovým použitím, prostredie Quartus na to upozorní informačným oknom (Obr. 22).



Obr. 22: Informačné okno informujúce o nájdení IP funkcie s časovým obmedzením

Na spracovanie obrazu a videa ponúka Altera tieto nasledujúce IP funkcie: Color Space Converter, Chroma Resampler, Gamma Corrector, 2D FIR Filter, 2D Median Filter, Alpha Blending Mixer, Deinterlacer, Frame Buffer, Scaler, Clipper, Clocked Video Input, Clocked Video Output, Color Plane Sequencer a Test Pattern Generator.

Na Obr. 23 je vidieť tieto IP funkcie ako zoznam dostupných funkcií v rozhraní konfiguračného rozhrania Altera SOPC Builder, ktorý slúži na spájanie a konfiguráciu rôznych IP funkcií vo vývojovom prostredí Quartus® II.



Obr. 23: Zoznam dostupných funkcií na spracovanie videa a obrazu v rozhraní SOPC Builder

Z týchto funkcií majú časové obmedzenie nasledujúce IP funkcie: Color Space Converter, Chroma Resampler, Gamma Corrector, 2D FIR Filter, 2D Median Filter,

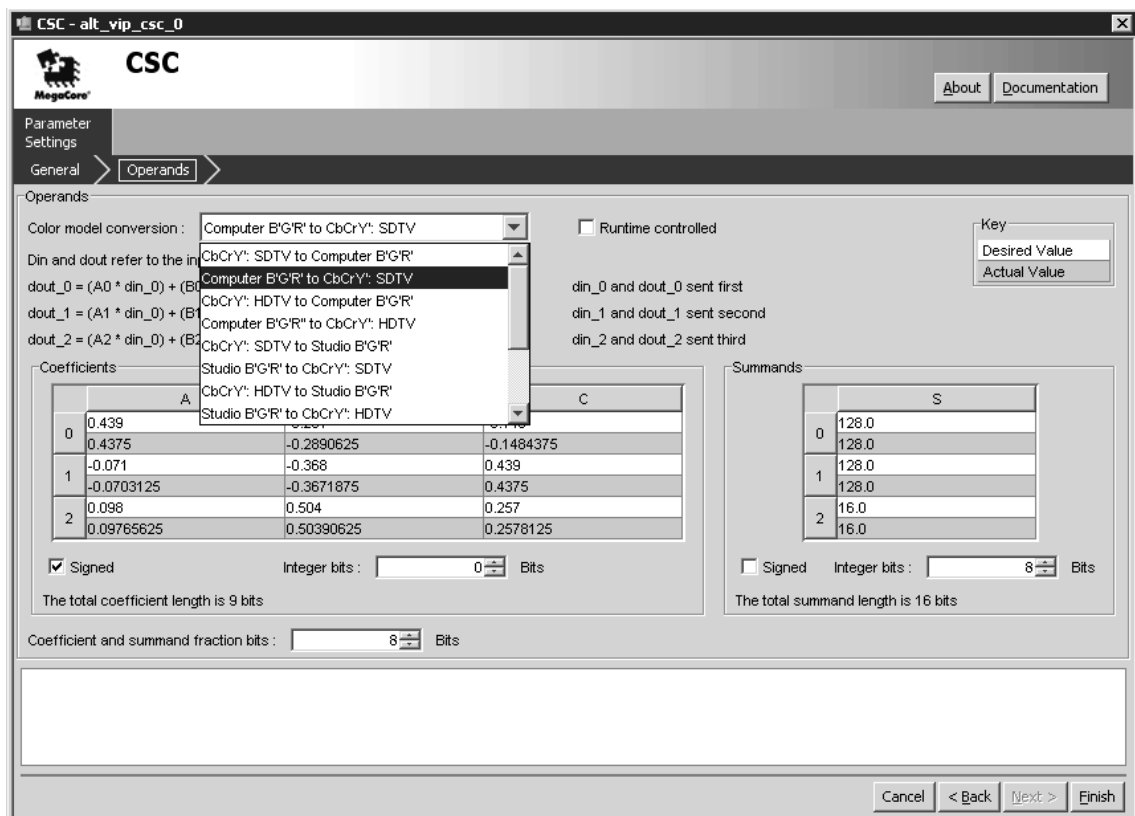
Alpha Blending Mixer, Deinterlacer, Frame Buffer a Scaler. Zvyšné funkcie fungovali bez obmedzenia.

3.1.1 Color Space Converter

IP funkcia Konvertor farebného formátu (CSC, z anglického Color Space Converter) je určená na konverziu obrazu z jedného do iného farebného priestoru. Na Obr. 24 je znázornené konfiguračné okno tejto IP funkcie s rozbalenou ponukou možných prednastavených konverzií. CSC funguje tak, že všetky možné konverzie medzi jednotlivými farebnými formátmi sú popísané deviatimi konštantami [A0, A1, A2, B0, B1, B2, C0, C1, C2] a tromi sčítancami [S0, S1, S2]. Výsledná konverzia je potom len prepočet podľa vzťahov:

$$\begin{aligned}dout_0 &= (A0 \times din_0) + (B0 \times din_1) + (C0 \times din_2) + S0 \\dout_1 &= (A1 \times din_0) + (B1 \times din_1) + (C1 \times din_2) + S1 \\dout_2 &= (A2 \times din_0) + (B2 \times din_1) + (C2 \times din_2) + S2\end{aligned}$$

kde $dout_0$, $dout_1$ a $dout_2$ sú výstupné hodnoty, a din_0 , din_1 a din_2 sú vstupné hodnoty jednotlivých zložiek farebného formátu. CSC má prednastavené koeficienty pre tieto farebné formáty a ich vzájomnú konverziu: Počítačové RGB, Štúdiové RGB, YCbCr SDTV, YCbCr HDTV, YUV, YIQ. Taktiež je možné zadať vlastné koeficienty.

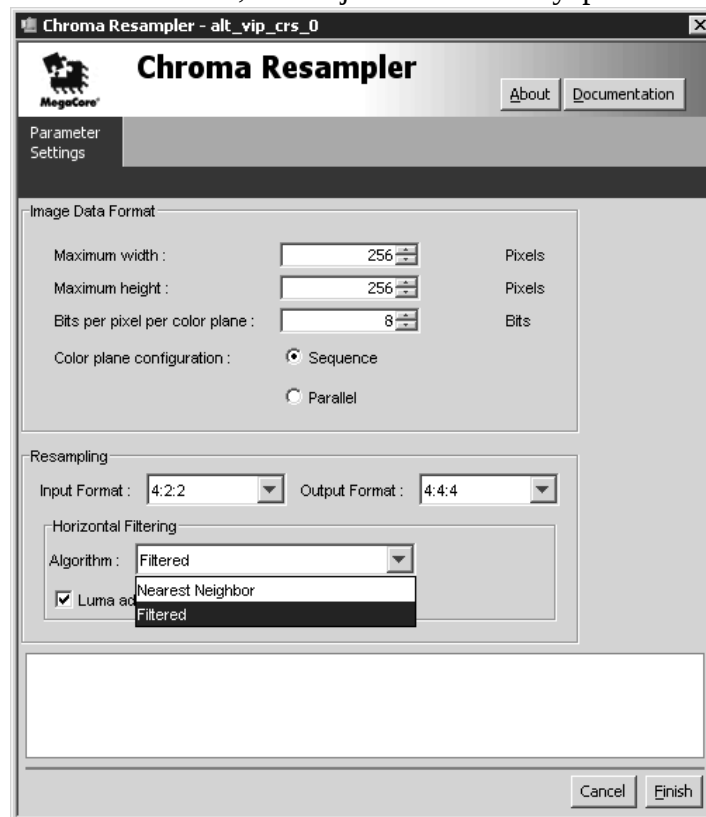


Obr. 24: Konfiguračné okno IP funkcie Color space converter

V prvom okne „General” je nutné nastaviť formát vstupných a výstupných dát (či sú paralelné alebo v sekvencii), šírku dát v bitoch, typ vstupných a výstupných dát (so znamienkom, bez znamienka), a tiež ako sa ma zaokrúhľovať výstupná hodnota a s akou presnosťou. V druhom okne sa nastavujú prepočtové koeficienty alebo sa môže zvoliť niektorá vhodná prednastavená konverzia.

3.1.2 Chroma Resampler

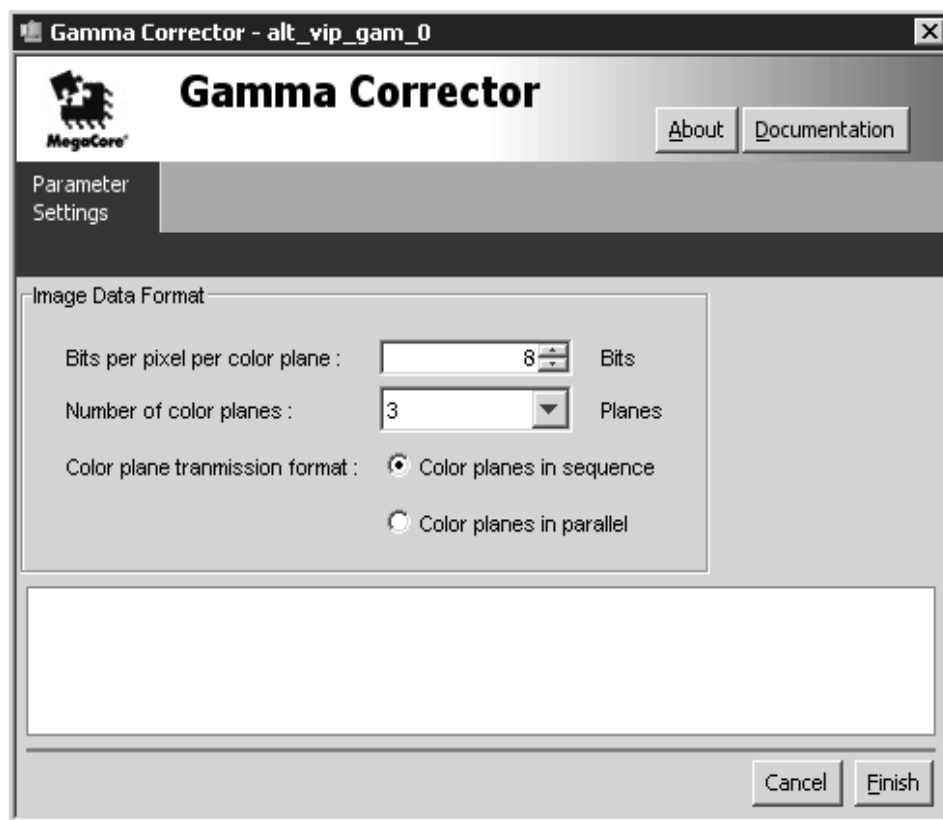
Chroma Resampler je IP funkcia, ktorá mení farebný vzorkovací formát. Dostupné formáty sú 4:4:4, 4:2:2 a 4:2:0. Formát 4:4:4 znamená, že farebné zložky sú vzorkované v takom istom počte ako jasové zložky, to znamená že napríklad pri formáte YPbPr pripadajú na 4 jasové vzorky 4 vzorky Pb a 4 vzorky Pr. Formát 4:2:2 ma farebné zložky komprimované tak, že na 4 vzorky jasu (Y) pripadajú dve vzorky Pb a dve vzorky Pr. Formát 4:2:0 má v jednom riadku rovnaký pomer farebných a jasovej zložky ako formát 4:2:2 a v ďalšom riadku má len Y zložku. Funkcia zvláda prevod všetkých kombinácií (4:4:4=>4:2:2, 4:4:4=>4:2:0, 4:2:2=>4:2:0, 4:2:0=>4:4:4, 4:2:0=>4:2:2, 4:2:2=>4:4:4). V konfiguračnom okne (Obr. 25) je nutné nastaviť rozlíšenie vstupného obrazu, šírku dát v bitoch a tiež, či sú jednotlivé zložky paralelne alebo sekvenčne



Obr. 25: Konfiguračné okno IP funkcie Chroma resampler

radené. Ďalej je nutné zvoliť, či sa má výsledný obraz filtrovať alebo sa má použiť metóda najbližšieho suseda (Nearest Neighbor). Ak sa bude obraz filtrovať, v prípade konverzie 4:4:4=>4:2:2 sa bude jedna vzorka farby počítať z dvoch vzoriek. Pri metóde najbližšieho suseda sa zoberie vzorka, ktorá je aktuálnej najbližšie v poradí a zvyšok sa zanedbá. To je jednoznačne rýchlejšia metóda, ale taktiež to principiálne znamená väčšie zníženie kvality farby. Pri filtrovaní je ešte možné zapnúť tzv. prispôsobenie jasů. Pri „upsamplingu“, teda zvyšovaní farebného vzorkovania (napr. 4:2:2=>4:4:4) sa zvyšuje kvalita obrazu, lebo dochádza k interaktívnej zmene interpolačných koeficientov filtra podľa toho, ako sa zmení jasová zložka signálu. Prejaví sa to najmä pri skokových zmenách jasů. Chrome resampler vie spracovať len progresívne video.

3.1.3 Gamma Corrector

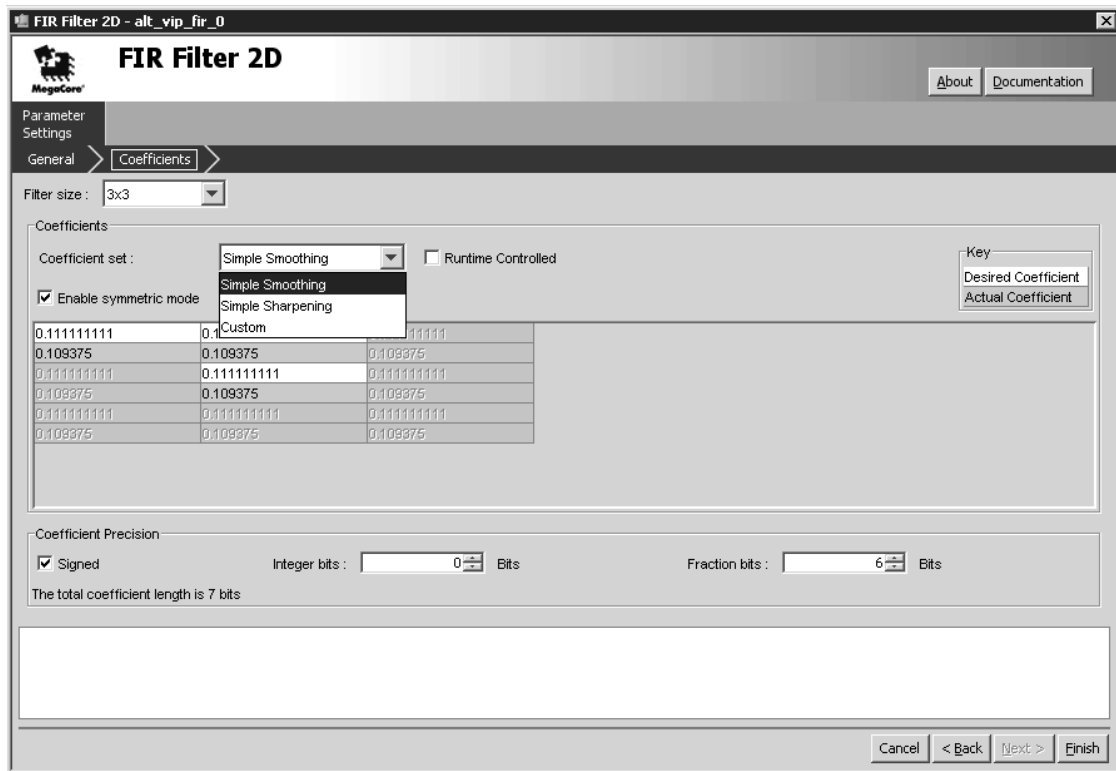


Obr. 26: Konfiguračné okno IP funkcie Gamma corrector

IP funkcia Gamma corrector, ako už z názvu vyplýva, má za úlohu gamma korekciu. Funkcia na svoju konfiguráciu potrebuje okrem informácie o šírke vstupného videa v bitoch a o tom, či je formát sekvenčný alebo paralelný aj tzv. LUT tabuľku (look-up table). LUT je tabuľka s koeficientami gamma korekcie, ku ktorej funkcia pristupuje prostredníctvom Avalon-MM slave portu. Tabuľka je vlastne $2N+2$ registrov

N-bitov širokých, kde N je šírka vstupných video-dát v bitoch (počet bitov na jeden pixel). Registre 2 až 2N+1 obsahujú gamma koeficienty. Obrazové dáta z hodnotou X sú potom mapované na adresu X+2 registra, a hodnota tohto registra je vyvedená na výstup. Na Obr. 26 je znázornené konfiguračné okno IP funkcie.

3.1.4 2D FIR Filter



Obr. 27: Konfiguračné okno IP funkcie 2D FIR Filter

FIR filter je jednoduchý digitálny filter pracujúci podľa vzťahu

$$y[n] = b_0 x[n] + b_1 x[n-1] + \dots + b_N x[n-N]$$

kde $x[n]$ je vstupný signál, $y[n]$ je výstupný a b_i (kde $i=\{1,2,\dots,n\}$) sú koeficienty filtra. Toto platí pre jednorozmerné signály. Pre dvojrozmerné (2D) signály vektor koeficientov nahradí tabuľka, no princíp ostáva ten istý a teda súčet koeficientami vynásobených oneskorených vzoriek. IP funkcia 2D FIR Filter od firmy Altera dokáže filtrovať použitím matice koeficientov o rozmeroch 3x3, 5x5 alebo 7x7. Na Obr. 27 je znázornené konfiguračné okno tejto IP funkcie. V prvom konfiguračnom okne s názvom „General“ je potrebné nastaviť maximálnu šírku obrazu v pixloch, počet farebných zložiek v jednej sekvencii. Ďalej je nutné nastaviť, akú šírku majú vstupné a výstupné dáta a či sú so znamienkom alebo bez neho. Taktiež sa dá nastaviť maximálna

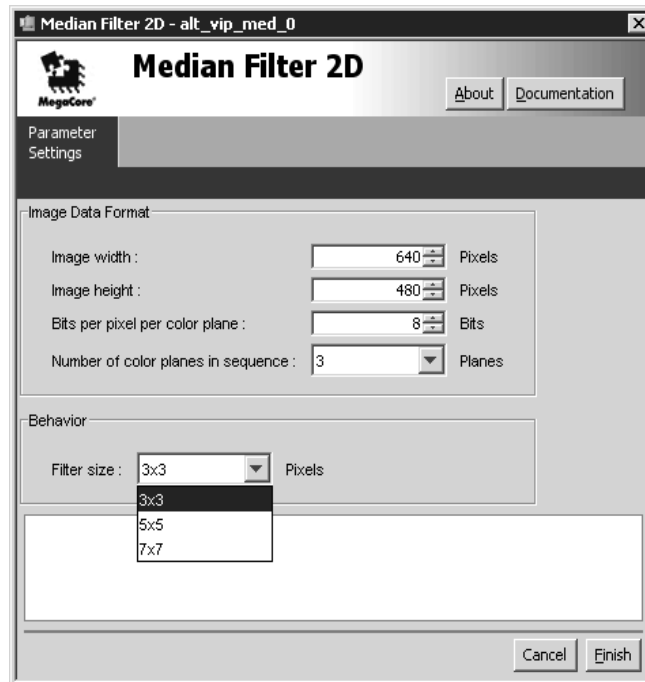
a minimálna hodnota, resp. interval hodnôt, ktoré sa budú filtrovať. V tomto okne sa tiež dá nastaviť spôsob zaokrúhľovania a presnosť na desatinné miesta. V druhom okne s názvom „Coefficients“ sa zadáva veľkosť matice koeficientov a jednotlivé koeficienty. Je možné vybrať z prednastavených hodnôt, alebo vložiť vlastné hodnoty (voľba „Custom“). Voľba zapnutia symetrického módu nastaví tabuľku symetricky, voľby v časti Coefficient Precision určujú číselný tvar koeficientov filtra (znamienkové alebo beznamienkové, počet desatinných miest, počet číslic pred desatinnou čiarkou). Táto funkcia podporuje len progresívne video.

3.1.5 2D Median Filter

Ďalšia IP funkcia určená na filtráciu video-signálu. Podobne ako 2D FIR filter podporuje len progresívne video. 2D Median Filter porovnáva všetky pixly v štvorci 3x3, 5x5 alebo 7x7 a pre všetky vracia hodnotu mediánu, teda strednej hodnoty z hodnôt týchto pixlov. Ak filtračné okno porovnáva hodnoty na okraji video-obrazu, hodnoty za okrajom nahrádza nulami. Čím väčšie okno sa použije, tým viac sa odfiltruje rušivých vplyvov, ale pri veľkých filtračných oknách môže dôjsť aj k odfiltrovaniu detailov obrazu a to je už neželaný jav. IP funkcia 2D Median Filter (Obr. 28) umožňuje vo svojom konfiguračnom okne nastaviť len rozmery vstupného obrazu, počet bitov na jeden pixel, počet farebných zložiek v jednej sekvencii a veľkosť filtračného okna (3x3, 5x5 alebo 7x7).

3.1.6 Alpha Blending Mixer

IP funkcia Alpha Blending Mixer má za úlohu mixovať a vkladať obraz do obrazu. Naraz môže mixovať až 12 obrazových vrstiev. Podporuje aj priehľadnosť. Prepínanie, vypínanie a zapínanie jednotlivých vrstiev, ich premiestňovanie a zmena veľkosti sa dajú robiť v reálnom čase riadením pomocou portu Avalon-MM slave. Táto funkcia podporuje progresívne riadkovanie. Podporuje aj prekladané riadkovanie, ale potom každá vrstva musí byť prispôbená tomuto riadkovaniu. Na Obr. 29 je konfiguračné okno tejto funkcie. Ako vidieť, je potrebné nastaviť maximálne rozlíšenie obrazu, počet bitov na jeden pixel a počet farebných zložiek v prípade, keď sa jedná o video v sekvencii alebo paralelne. Ďalej sa nastavuje počet mixovaných obrazov a priehľadnosť.



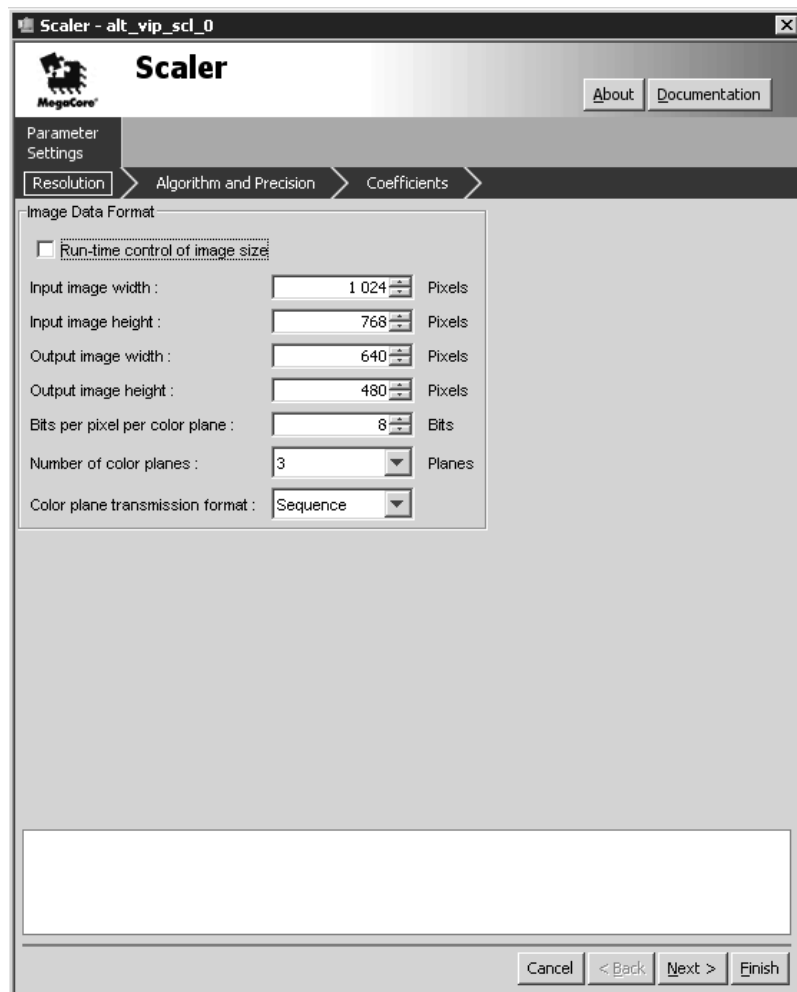
Obr. 28: Konfiguračné okno IP funkcie 2D Median Filter



Obr. 29: Konfiguračné okno IP funkcie Alpha Blending Mixer

3.1.7 Scaler

IP funkcia Scaler umožňuje meniť rozlíšenie vstupného videa a to zväčšovať alebo zmenšovať. Vstupom môžu byť len progresívne video-dáta. Scaler podporuje štyri algoritmy filtrovania: metóda najbližšieho suseda (Nearest Neighbor), bilinéarne, bikubické a polyfázove škálovacie metódy. Najjednoduchšia, najrýchlejšia ale aj najmenej kvalitná je metóda najbližšieho suseda. Pre obsiahlosť nebudú v práci tieto metódy podrobne vysvetlené. Podrobnejší opis je v [9].

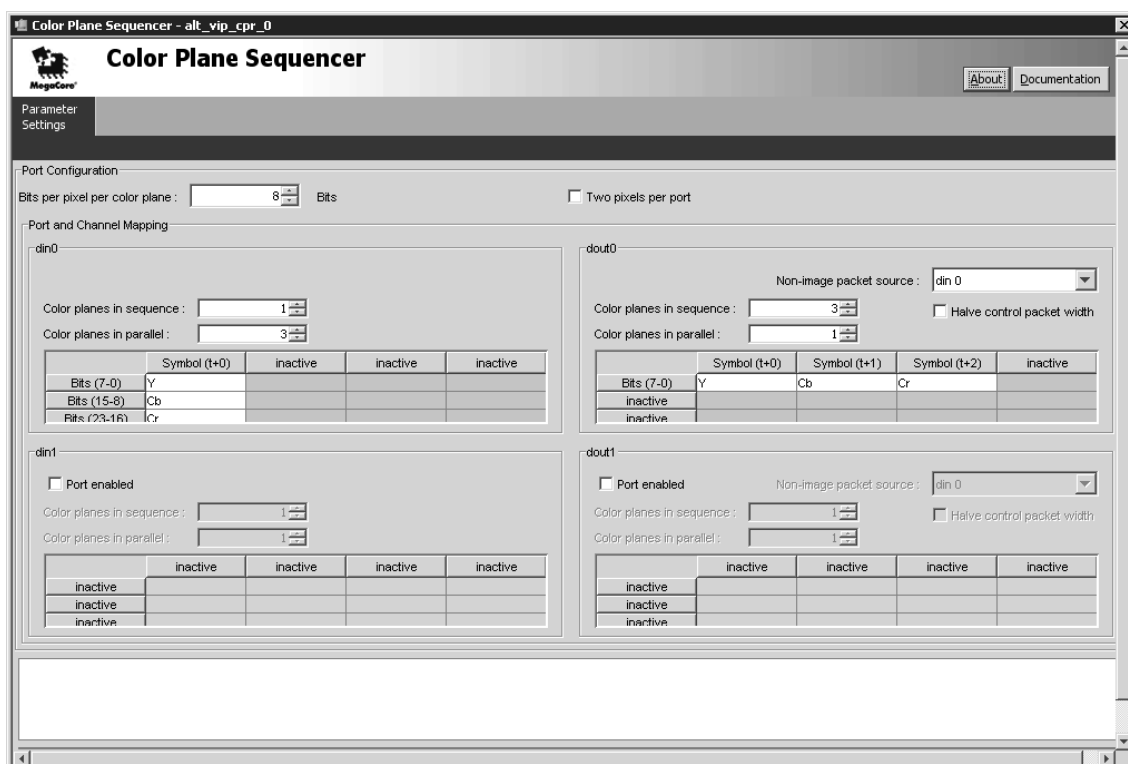


Obr. 30: Konfiguračné okno IP funkcie Scaler

V prvom okne s názvom *Resolution* (Obr. 30) sa nastavujú rozmery vstupného a výstupného obrazu, počet bitov na jeden obrazový prvok a počet farebných zložiek v jednej sekvencii, resp. v paralelnom formáte a nakoniec postupnosť vstupných dát (paralelne alebo v sekvencii). V druhom okne s názvom *Algorithm and Precision* sa zvolí a nastaví požadovaný škálovací algoritmus. Tretie okno nazvané *Coefficients* slúži na nastavenie filtračných koeficientov jednotlivých algoritmov. Dá sa nastaviť pre

horizontálny aj vertikálny smer zvlášť, ale tiež rovnaké koeficienty pre oba smery. Na to slúži voľba *Share horizontal/vertical coefficients*. Taktiež je možnosť koeficienty meniť počas behu funkcie zvolením voľby *runtime control* a riadiť ich pomocou portu Avalon-MM slave. V prípade pevného nastavenia koeficientov je možné vybrať vhodné koeficienty zo zoznamu alebo navoliť si vlastné (*custom*).

3.1.8 Color Plane Sequencer



Obr. 31: Konfiguračné okno IP funkcie Color Plane Sequencer

Úlohou IP funkcie s názvom Color Plane Sequencer je meniť formát a rozloženie jednotlivých komponentov videa. V tejto IP funkcii sa dá nadefinovať spôsob zoradenia zložiek obrazu na vstupe a ako sa majú zoradiť na výstupe. Je možné meniť sekvenčné radenie na paralelné. Ďalej sa dajú zmiešať zložky dvoch vstupných tokov a vytvoriť tak multiplexovaný signál, alebo naopak ak je multiplexovaný vstupný signál, tento rozdeliť do dvoch nezávislých tokov. Konfiguračné okno funkcie je rozdelené do štyroch častí. Ľavá časť definuje vstupy a pravá časť výstupy. Na obrázku vidieť nastavenie pre prevod paralelného toku videa vo formáte YCbCr na sekvenčné poradie s prvou jasovou zložkou nasledovanou farebnými zložkami Cb a Cr. V okne je potrebné nastaviť počet bitov, ktorými je vyjadrený jeden obrazový prvok.

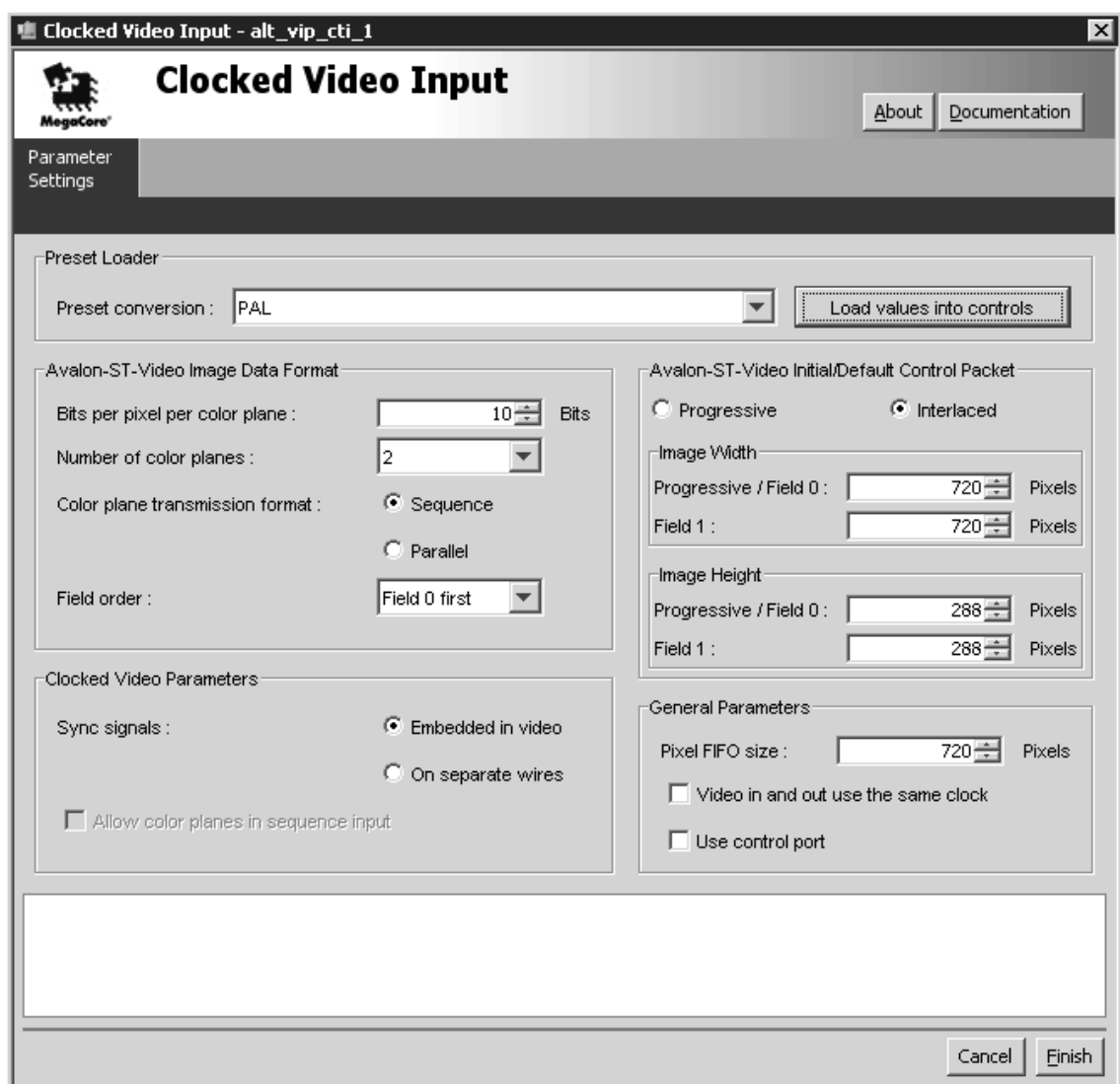
3.1.9 Clocked Video Input

IP funkcia Clocked Video Input patrí v skupine *Video and Image Processing* IP funkcií do podskupiny označenej ako *IO*. Ako už z názvu vyplýva, ide o vstup, konvertovanie synchronizovaného videa na Avalon-ST Video formát. Všetky funkcie, ktoré tu už boli alebo budú spomenuté, používajú video-dáta v tomto formáte. Vstupom môže byť video podľa odporúčania BT656 alebo video z digitálneho rozhrania (DVI, z anglického *Digital Visual Interface*). Rozdiel medzi týmito formátmi je ten, že video podľa odporúčania BT656 má synchronizáciu vloženú vo video-dátach a DVI má synchronizačné signály vedené osobitnými vodičmi.

Vložená synchronizácia znamená to, že do video-dát je vkladáný časový referenčný signál (TRS, z anglického *Time Reference Signal*). Tento 10 bitový signál má hodnotu 3FFh (teda 1111111111_b). Keďže BT656 definuje aj 8 bitové rozhranie, tak v tom prípade sa odstránia dva bity z najnižšou váhou (LSB). Tento signál je vkladáný v čase trvania horizontálneho alebo vertikálneho synchronizačného impulzu. Synchronizačné signály vedené osobitnými vodičmi sa vedú pre každý smer (vertikálny, horizontálny) osobitne. Hodnota „1“ na týchto vodičoch znamená synchronizačný impulz. Medzi synchronizačné signály patrí aj signál aktívneho videa (*datavalid*) a identifikačný signál prenášanej polsnímky pri prekladanom riadkovaní (*f*, skratka odvodená od anglického *field*, čo znamená snímka). Signál *datavalid* má hodnotu „1“ pri prenose videa, v čase synchronizácie je jeho hodnota rovná „0“. Signál *f* má hodnotu „1“ len pri prekladanom videu a označuje polsnímku 1 (teda nepárna). Ak má hodnotu „0“, tak je prenášané progresívne video alebo polsnímka 0 (párna).

Na Obr. 32 je znázornené konfiguračné okno tejto IP funkcie. Je možné si vybrať niekoľko prednastavených možností vstupných video-formátov z rozbaľovacieho menu *Preset conversion* a po výbere stlačiť tlačidlo na načítanie hodnôt. Taktiež je možné manuálne nastaviť hodnoty. Význam položiek ako sú počet bitov na pixel, počet farebných zložiek alebo formát vstupného videa (progresívne, prekladané) je rovnaký ako v predchádzajúcich funkciách. V ľavej časti okna je ešte potrebné pri prekladanom riadkovaní zvoliť, ktorý snímok bude prvým, buď páry (field 0) alebo nepáry (field 1). Je možné zvoliť aj možnosť „hociktorý“. Treba však dávať pozor pri progresívnom videu, lebo pri ňom sa nerozlišuje párna a nepárna polsnímka (tiež označované ako F0 alebo F1), a ak by bola zvolená možnosť „*Field 1*

first“, na výstupe IP funkcie by nebol žiaden signál. V tejto časti sa ešte nastavuje vstupný formát synchronizácie, teda vložená alebo vedená osobitnými vodičmi. V pravej časti okna sa nastavuje výstupný tok video-dát formátu Avalon-ST video používaného na prenos dát medzi IP funkciami. Nastavujú sa tu rozmery obrazu jednotlivých posnímkov a typ obrazu (prekladané, progresívne). Táto IP funkcia má vlastnosť prijímať dáta vzorkované inou frekvenciou, ako dáta vysielané na výstup. Táto vlastnosť sa dá vypnúť zaškrtnutím možnosti „Video in and out use the same clock“.



Obr. 32: Konfiguračné okno IP funkcie Clocked Video Input

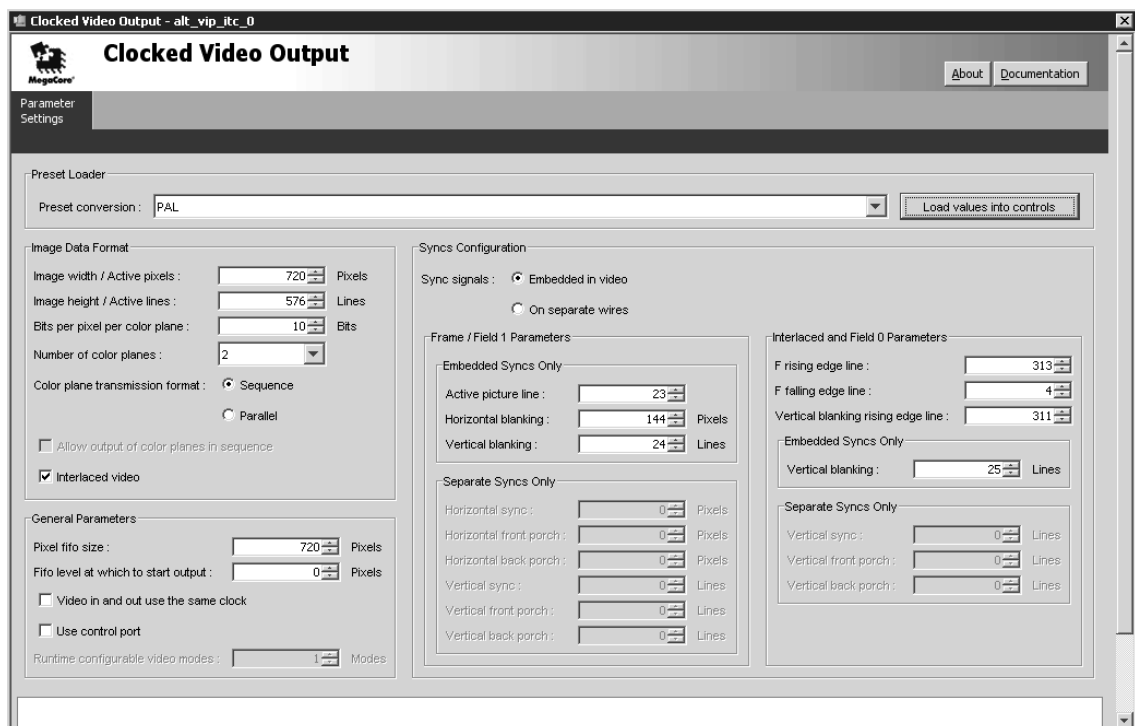
3.1.10 Clocked Video Output

IP Funkcia Clocked Video Output patrí do tej istej podskupiny ako predchádzajúca funkcia, ale má principiálne opačnú funkciu, a teda konverziu Avalon-

ST video formátu na výstupné formáty podľa odporúčania BT656 alebo formát DVI. IP funkcia používa rovnaké signály ako IP funkcia „*Clocked Video Input*“, teda signály ako *datavalid*, *f*, horizontálna a vertikálna synchronizácia. Pri vložených synchronizáciách okrem toho, že vkladá synchronizačný časový referenčný signál do video-dát, má na výstupe aj vývod s označením „*trs*“, ktorý má hodnotu „1“ vtedy, keď je do video-dát vložený TRS signál. Podobne ako funkcia *Clocked Video Input* aj *Clocked Video Output* funkcia má prednastavené voľby, ktoré je možné vybrať jednoducho z rozbaľovacieho menu a dať načítať príslušné prednastavené hodnoty stlačením tlačidla pre načítanie hodnôt.

Konfiguračné okno (**Obr. 33**) vo svojej pravej časti obsahuje nastavenia vstupného formátu videa (rozlíšenie, počet bitov na obrazový prvok, počet farebných zložiek, paralelne alebo sekvenčné radenie zložiek a tiež, či je video progresívne alebo prekladané). V pravej časti sa nastavuje výstupná synchronizácia. V prípade vložených synchronizácií je možné meniť začiatkový riadok aktívneho videa, šírku zatemňovacích impulzov, pre vertikálne synchronizačné impulzy je táto hodnota udávaná v riadkoch a pre riadkové synchronizačné impulzy v pixloch. V prípade prekladaného riadkovania je potrebné nastaviť aj riadok, v ktorom začína a v ktorom končí identifikačný impulz nepárnej polsnímky (výstupný signál „*f*“). Taktiež je potrebné nastaviť šírku a riadok, v ktorom má začínať zatemňovací impulz pre párnú polsnímku. V prípade zvolenia oddelenej synchronizácie sa pomocou parametrov „*Horizontal sync*“, „*Horizontal front porch*“ a „*Horizontal back porch*“ dá nastaviť šírka riadkového zatemňovacieho impulzu, pričom hodnota tejto šírky je súčet hodnôt týchto troch parametrov. Parameter „*Horizontal sync*“ nastavuje šírku riadkového synchronizačného impulzu. Parameter „*Horizontal front porch*“ hovorí o koľko pixlov je posunutý začiatok riadkového synchronizačného impulzu od začiatku riadkového zatemnenia a „*Horizontal back porch*“ o tom, koľko pixlov bude ešte trvať zatemňovací impulz od skončenia riadkového synchronizačného impulzu. Ďalšie parametre sú „*Vertical sync*“, „*Vertical front porch*“ a „*Vertical back porch*“. Tieto majú podobnú funkciu ako tie predošle, avšak tieto nastavujú nie riadkové ale snímkové zatemňovacie a synchronizačné impulzy. Parametrom „*Vertical sync*“ sa nastavuje šírka snímkového synchronizačného impulzu, „*Vertical front porch*“ určuje rozdiel v riadkoch od začiatku zatemňovacieho po začiatok synchronizačného impulzu a „*Vertical back porch*“ počet riadkov od konca

riadkového synchronizačného impulzu po koniec snímkového zatemnenia a teda začiatok ďalšej snímky resp. polsnímky. Súčet všetkých troch vertikálnych parametrov je hodnota počtu riadkov snímkového zatemňovacieho impulzu. Podobne, ako pri vložennej synchronizácii aj pri oddelenej synchronizácii pri prekladanom videu je potrebné nastaviť začiatok a koniec identifikačného impulzu polsnímky a začiatkový riadok polsnímkového zatemňovacieho impulzu. Nakoniec treba nastaviť „Vertical sync“, „Vertical front porch“ a „Vertical back porch“ aj pre nepárnu polsnímku. Podobne ako IP funkcia Clocked Video Input dokáže aj táto IP funkcia previesť video na vstupe s jednou vzorkovacou frekvenciou na video s inou vzorkovacou frekvenciou na výstup. Na to slúži osobitný vstup pre hodinovú frekvenciu. Taktiež je túto vlastnosť možné vypnúť.

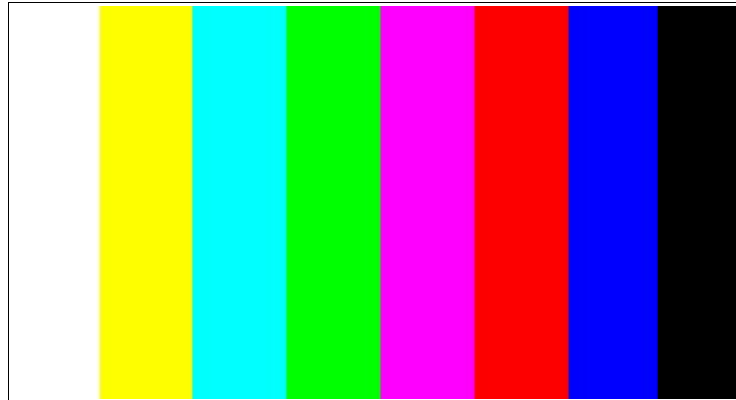


Obr. 33: Konfiguračné okno IP funkcie Clocked Video Output

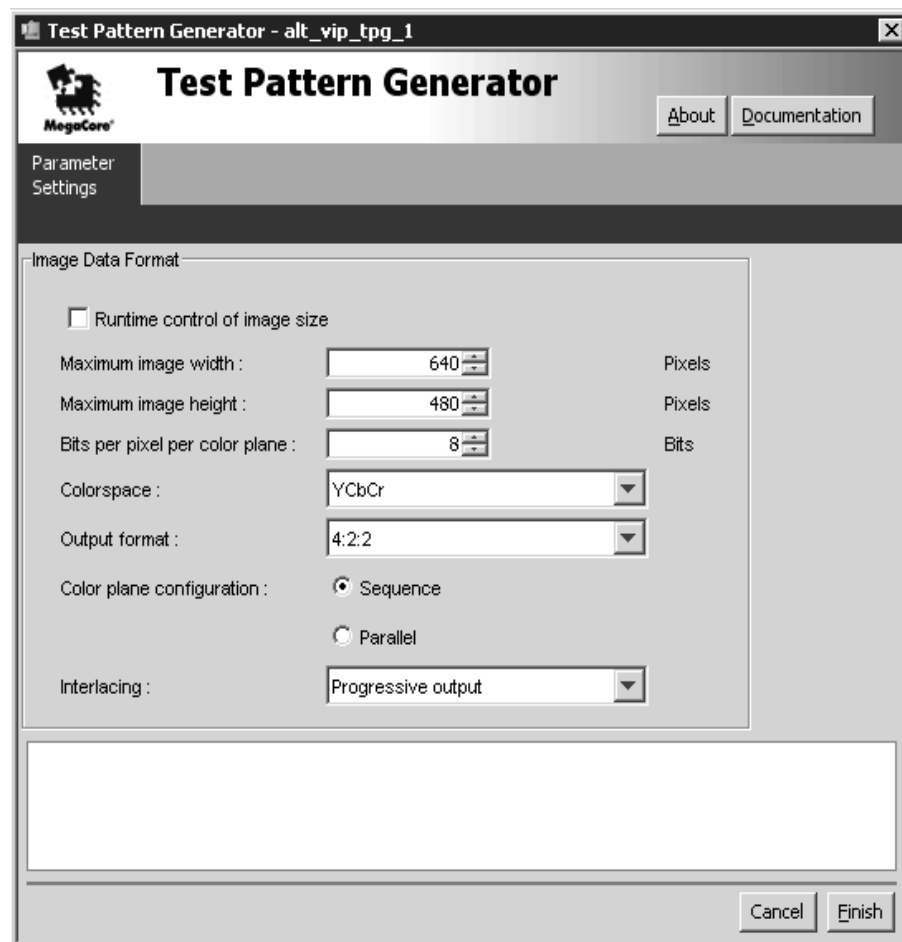
3.1.11 Test Pattern Generator

IP funkcia Test Pattern Generator je generátor video-signálu generujúci testovací obraz farebné pruhy (Obr. 34). Generátor dokáže generovať obraz vo formáte 4:4:4 RGB, 4:4:4 YPbPr, 4:2:2 YPbPr a 4:2:0 YPbPr. V konfiguračnom okne (Obr. 35) sa okrem toho dá nastaviť rozlíšenie výstupného obrazu, počet bitov na jeden pixel, zvoliť

si medzi radením zložiek do sekvencie alebo paralelne vedľa seba a tiež či výstup bude s progresívnym alebo s prekladaným riadkovaním. Tiež je možné kontrolovať a riadiť veľkosť obrazu resp. rozlíšenie počas behu funkcie pomocou Avalon-MM slave portu, čo je adresovateľný port funkcie. Táto vlastnosť je k dispozícii po zaškrtnutí možnosti s názvom „*Runtime control of image size*“.



Obr. 34: Testovací obraz - farebné pruhy



Obr. 35: Konfiguračné okno IP funkcie Test Pattern Generator

3.2 PRÍKLADY VYUŽITIA IP FUNKCIÍ

Vzorové príklady sú zrealizované tak, aby sa overil každý komponent rozširujúcej dosky a zároveň boli v návrhu využité niektoré IP funkcie na spracovanie videa a obrazu z balíka IP funkcií poskytovaných firmou Altera. V práci sú uvedené dva príklady. Prvý s názvom „generator“ reprezentuje generátor testovacieho obrazu „farebné pruhy“ (Obr. 34) z výstupom komponentného videa YPbPr s rozlíšením 576i (50Hz), druhý s názvom „bridge“ reprezentuje konvertor kompozitného videa normy PAL na komponentné video YPbPr s rozlíšením 576i (50Hz).

3.2.1 GENERATOR

Úlohou tohto príkladu je vygenerovať pomocou FPGA obvodu a D/A video-prevodníka testovací obrazec „farebné pruhy“ s rozlíšením a snímkovou frekvenciou podľa normy PAL 50Hz. Na **Obr. 36** je grafická bloková schéma generátora vo vývojovom prostredí programu Quartus II. Príklad „Generator“ je zložený z dvoch IP funkcií od spoločnosti Altera určených na spracovanie videa. Prvou je „Test Pattern Generator“ popísanou v kapitole 3.1.11, druhou „Clocked Video Output“ popísanou v kapitole 3.1.10.

Tretou IP funkciou použitou v príklade je IP funkcia `drp_pll_cycloneii`, ktorá pomocou obvodu fázového závesu (PLL, z anglického Phase-locked loop) znižuje frekvenciu vstupného signálu s frekvenciou 100MHz, ktorý je vyrábaný oscilátorom na vývojovej doske, na výstupný hodinový signál s frekvenciou 27MHz (ďalej len hodiny). Táto frekvencia je odporúčaná a definovaná ako hodinová frekvencia podľa ITU-R BT.656.

Test Pattern Generator je nastavený na režim YPbPr 4:2:2 s veľkosťou obrazu 720x576, sekvenčné video s 10 bitmi na jeden obrazový prvok a prekladané riadkovanie. Rozlíšenie je zvolené podľa odporúčania ITU-R BT.601. Hodnota 10 bitov na obrazový prvok je zvolená preto, lebo prevodník D/A je 10 bitový.

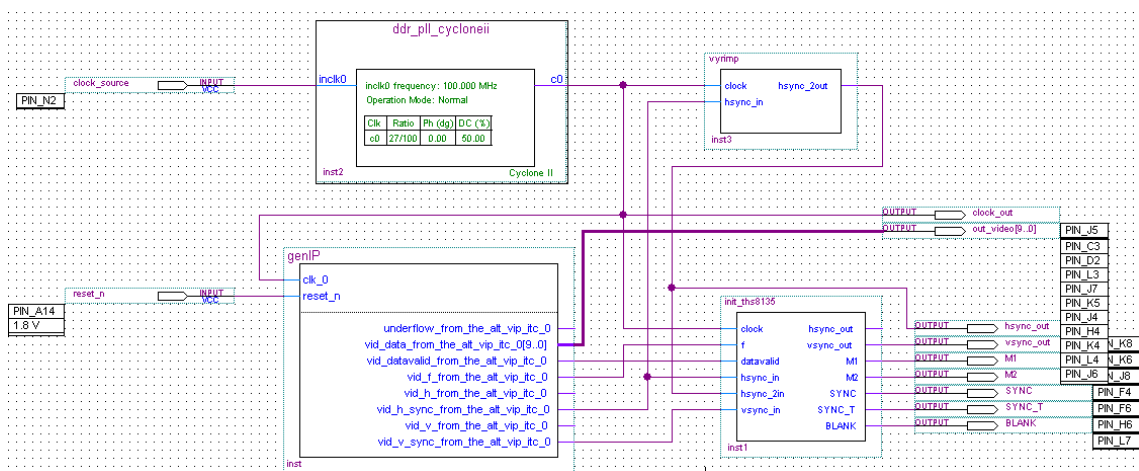
Tento signál je cez rozhranie Altera-ST prepojený na IP funkciu Clocked Video Output. Táto funkcia má okrem rovnako nastaveného vstupného obrazu ako je výstupný obraz z generátora nastavené jednotlivé hodnoty podľa Tab. 3. Synchronizácia je

oddelená a hodiny vstupu a výstupu sú rovnaké. Ako bolo uvedené v kapitole 3.1.10, súčet horizontálnych parametrov definuje šírku riadkového zatemňovacieho impulzu v pixloch. Šírka aktívneho obrazu je 720 pixlov. Jeden riadok podľa normy PAL trvá $T_{\text{riadok}}=64\mu\text{s}$, taktovacia frekvencia je $f_{\text{hodiny}}=27\text{MHz}$. Na vykreslenie jedného pixlu treba dva hodinové takty. Z týchto údajov vypočítame:

Periódou hodín je $T_{\text{hodiny}}=1/(27 \cdot 10^6)$.

Počet hodinových taktov na jeden riadok je $T_{\text{riadok}}/T_{\text{hodiny}}=64 \cdot 10^{-6} \cdot 27 \cdot 10^6=1728$

Z toho vyplývajúci počet pixlov na jeden riadok je $1728/2=864$ pixlov



Obr. 36: Bloková schéma - generator

Na zatemnenie teda vychádza $864-720=144$ pixlov. Vychádzajúc z [10], z týchto 144 pixlov, teda približne $10,66\mu\text{s}$ má byť $4,5\mu\text{s}$ široký riadkový synchronizačný impulz so začiatkom oneskoreným o $1,5\mu\text{s}$ od začiatku riadkového zatemnenia. Z toho vyplýva, že začiatok riadkového synchronizačného impulzu má byť po zaokrúhlení 20 pixlov od začiatku zatemnenia a má trvať ďalších 60 pixlov.

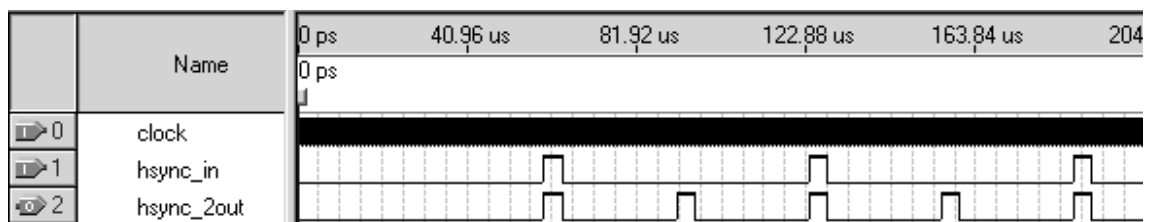
Súčet vertikálnych parametrov v IP funkcii Clocked Video Output definuje veľkosť snímkového zatemňovacieho impulzu v polsúčiach. Počet riadkov v PAL norme je 625. Počet riadkov aktívneho videa je 576. Rozdiel týchto dvoch hodnôt je 49. Z toho vyplýva, že jeden riadkový zatemňovací impulz má mať 24,5 riadku. Pre ďalšie spracovanie vertikálnej synchronizácie v tomto príklade stačí vyslať jeden impulz na začiatku snímkového zatemňovacieho impulzu, avšak pre väčšiu stabilitu sa vyšle na začiatku zatemňovacieho impulzu synchronizačný impulz o šírke až 5 riadkov obrazu.

Zvyšných 19 riadkov je šírka zatemnenia. Spolu to je 24 riadkov na polsnímku a teda 48 riadkov na celú snímku. Jeden riadok pre jednoduchosť v generátore zanedbáme.

Parameter	Hodnota	
Horizontal sync	60	
Horizontal front porch	10	
Horizontal back porch	74	
Polsnímka	F1	F0
Verical sync	5	5
Vertical front porch	0	0
Vertical back porch	19	19
F rising edge line	312	
F falling edge line	0	
Vertical blanking rissing edge line	315	

Tab. 3: Nastavenie IP funkcie Clocked Video Output

Ďalším blokom v príklade je blok s názvom „vyrimp“. Jeho zdrojový VHDL kód je v prílohách. Jeho úlohou je vytvoriť signál s dvojnásobnou frekvenciou ako je frekvencia horizontálnej synchronizácie. V tomto bloku sa nachádza synchronný čítač synchronizovaný na hodiny. Spúšťanie tohto čítača sa realizuje na začiatku riadkového synchronizačného impulzu. Pri hodnote 864 sa vnútorný signál „b“ nastaví na logickú „1“. Pri hodnote 983, teda po $4,5\mu s$ sa signál „b“ nastaví na logickú „0“. Čítač sa pri hodnote 985 vynuluje a čaká do ďalšieho horizontálneho synchronizačného impulzu. Výstup z tohto bloku je logický súčet vnútorného signálu „b“ a vstupného signálu „hsync_in“. Na **Obr. 37** vidieť výstup zo simulácie, kde „hsync_in“ je horizontálna synchronizácia, „clock“ sú hodiny a „hsync2_out“ je výstupný signál s dvojnásobnou riadkovou frekvenciou.

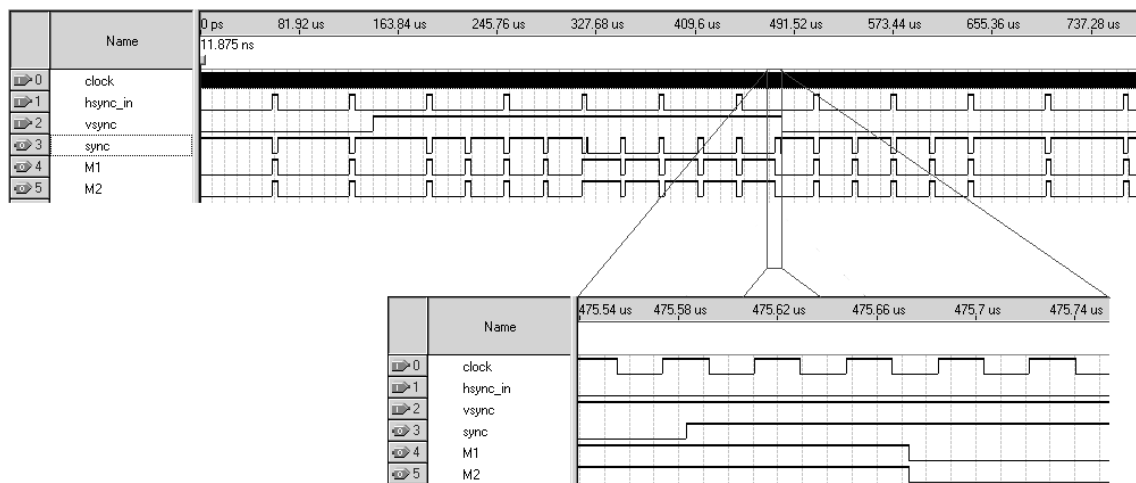


Obr. 37: Výroba impulzov s dvojnásobnou riadkovou frekvenciou

Posledným blokom v príklade s názvom „generator“ je blok „init_ths8135“, ktorého zdrojový kód v opisnom jazyku VHDL je v prílohách tejto práce. Názov tohto bloku je odvodený od slova inicializácia a označenia THS8135, čo je D/A prevodník použitý na rozširujúcej doske. V tomto bloku sa vytvárajú synchronizačné impulzy pre tento prevodník, ktorý nevie spracovať ani vloženú synchronizáciu podľa BT.656, ani oddelenú synchronizáciu. Zároveň so synchronizáciou sa pomocou tohto bloku prevodník aj konfiguruje. Prevodník disponuje vstupom pre vkladanie synchronizačného impulzu do výstupného video-signálu s názvom „sync“. Tento vstup ma aktívnu úroveň „0“. Prevodník sa nakonfiguruje ako 1x10 bitový D/A prevodník s komponentným YPbPr videom s redukovaným výstupným rozsahom pre signály Pb a Pr podľa odporúčania BT.601. Na konfiguráciu má prevodník vstupy „M1“, „M2“, „sync_t“ a „blank“. Na nastavenie YPbPr 1x10 bitového módu je potrebné vnútorne registre prevodníka THS8135 „M1_int“ a „M2_int“ nastaviť na H (poznámka: high=vysoký, v zmysle logická „1“, opakom je úroveň L, low=nízky, v zmysle logická „0“) úroveň. Podľa katalógového listu prevodníka THS8135 na nastavenie H úrovne je potrebné na „M1“ a „M2“ vstup priviesť o dve hodinové periódy oneskorený negovaný synchronizačný signál „sync“. Preto blok obsahuje posuvný register, ktorý je synchronizovaný na hodiny, kde na jeho vstup sa privádza synchronizačný signál, ktorý sa na výstup dostane až po dvoch hodinových taktoch. Ten je potom pripojený priamo na M1 a M2 vstup prevodníka THS8135. Na nastavenie redukovaného výstupného rozsahu pre signály „Pb“ a „Pr“ je potrebné nastaviť vnútorný register „BLNK_int“ tiež na hodnotu H. To sa dosiahne tým, že hodnota signálu „blank“ v čase aktívneho synchronizačného impulzu „sync“ bude logická „0“. Teda keďže signál *blank* je aktívny v logickej „0“ tak na tento vstup sa privádza signál „datavalid“, ktorý logickou „1“ označuje aktívne video a logickou „0“ zatemňovací impulz. Zároveň v čase, ak je signál „blank“ aktívny („0“) a „sync“ je neaktívny („1“), na analógovom výstupe prevodníka je nastavená hodnota čiernej farby, teda zatemnenie. Konfiguračným vstupom „sync_t“ sa nastavuje polarita synchronizácie. U nás sa používa negatívna synchronizácia, takže tento vstup je trvalo pripojený k logickej „0“.

Tento blok okrem konfigurácie prevodníka vytvára synchronizačné impulzy. Synchronizácia pre prevodník THS8135 je zmes resp. logický súčet riadkových a snímkových synchronizačných impulzov privedených na vstup „sync“. Riadková

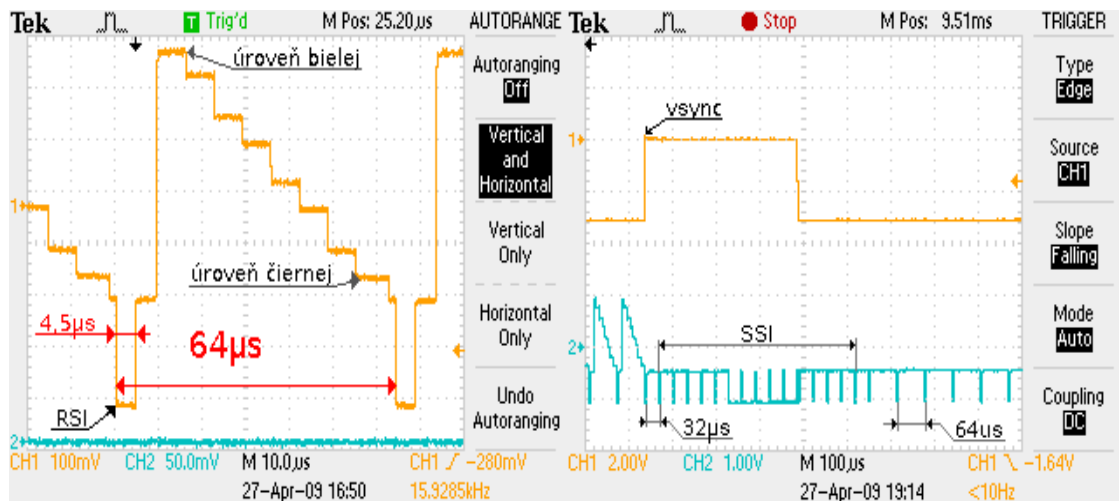
synchronizácia je jeden impulz na konci každého riadku. Snímková synchronizácia je séria 15 impulzov za sebou na začiatku snímkového zatemnenia. Tieto impulzy sú rozdelené na tri skupiny. Prvých 5 tzv. vyrovnávacích impulzov sú impulzy s dvojnásobnou frekvenciou a s rovnakou šírkou ako riadkové synchronizačné impulzy. Potom nasleduje 5 rovnakých ale negovaných impulzov a nakoniec zase 5 vyrovnávacích impulzov (na Obr. 40 sú označené ako snímkový synchronizačný impulz-SSI). Ďalej pokračujú riadkové synchronizačné impulzy. Druhá polsnímka má týchto 15 synchronizačných impulzov posunutých o $32\mu\text{s}$ skôr, čo predstavuje čas rovný jednej polovici riadku. Preto v bloku `init_ths8135` je čítač synchronizovaný na dvojnásobnú riadkovú frekvenciu privádzanú z bloku „`vyrimp`“ a spúšťaným na začiatku vertikálneho synchronizačného impulzu privedeného z bloku Video Clock Output. Ako čítač mení hodnotu, podľa toho logika prepína na výstup prv signál s dvojnásobnou riadkovou frekvenciou, potom to iste ale negované, znova nenegovaný signál s dvojnásobnou frekvenciou až keď čítač dosiahne hodnotu 15 (resp 16 v nepárnej snímke), tak sa prepne na signál riadkovej synchronizácie, vynuluje sa čítač a čaká do ďalšieho vertikálneho synchronizačného impulzu.



Obr. 38: Výsledok simulácie bloku `init_ths8135`

Na Obr. 38 je výsledok simulácie pri privedení SSI na vstup `vsync_in` s detailom posunutia konfiguračných signálov „`M1`“ a „`M2`“ o 2 hodinové periódy oproti „`sync`“ signálu. Zákmity pri zmene z 5. na 6. a z 10. na 11. vyrovnávací impulz sú odfiltrované výstupnou parazitnou kapacitou prevodníka, takže neovplyvňujú výstupný signál. Na Obr. 39 je výstupný signál z generátora, zobrazený jeden riadok jasového signálu `Y` s

naznačenými jasovými úrovňami bielej a čiernej farby a označeným RSI pri prenose testovacieho obrazu „farebné pruhy“ (Obr. 34). Na Obr. 40 vidieť sekvenciu snímkových synchronizačných a vyrovnávacích impulzov označených ako jeden SSI. Zobrazené priebehy boli merané na osciloskope Tektronix TDS2004B.

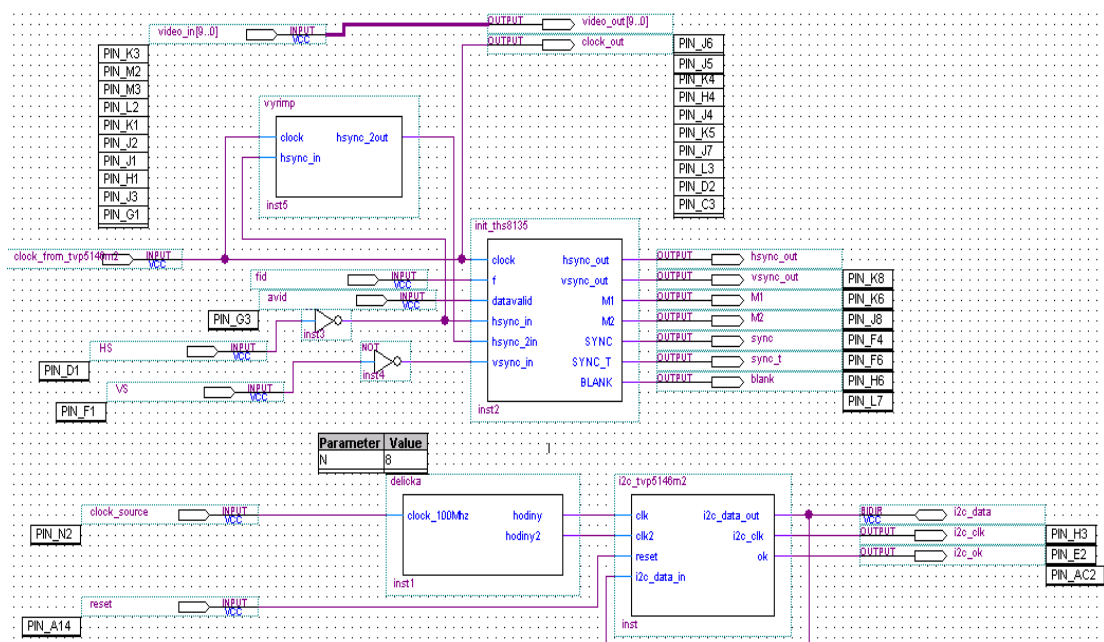


Obr. 39: Výstup z prevodníka (jeden riadok)

Obr. 40: Výstup z prevodníka (sekvencia SSI)

3.2.2 BRIDGE

Druhý príklad má za úlohu otestovať A/D prevodník TVP5146M2PFP na rozširujúcej doske prevodníkov. Bloková schéma tohto bloku je na Obr. 41.



Obr. 41: Bloková schéma - bridge

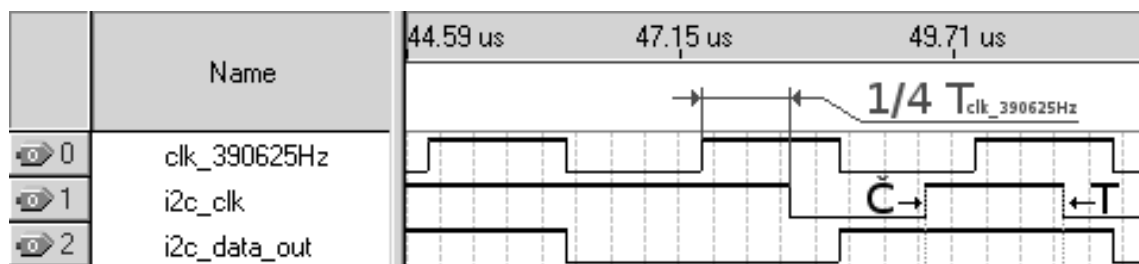
Príklad s názvom „*bridge*“ spracováva kompozitný signál v norme PAL, v prevodníku TVP5146M2PFP prevádza na digitálne video vo formáte YPbPr 1x10 bitov, cez štandardizované rozhranie SANTA CRUZ ide do FPGA obvodu, odkiaľ je tento signál znova cez SANTA CRUZ priamo prepojený na výstupný prevodník THS8135. Video-prevodník TVP5146M2PFP okrem videa dodáva celému systému hodinový signál a tiež synchronizačné impulzy horizontálne (riadkové) a vertikálne (snímkové). Celý príklad obsahuje 4 funkčné bloky (Obr. 41). Bloky „*vyrimp*“ a „*init_ths8135*“ boli opísané v predchádzajúcej kapitole v príklade „*generator*“. Ďalšie dva bloky sú „*delicka*“ a „*i2c_tvp5146m2*“. Ich zdrojové kódy v opisnom jazyku VHDL sú uvedené prílohách tejto práce. Blok „*delicka*“ vyrába zo vstupného hodinového signálu s frekvenciou 100MHz vydelením dva signály. Jeden s frekvenciou 390,625kHz ($100\text{MHz}/256$) a druhý s frekvenciou 3,125MHz ($100\text{MHz}/32$).

Blok „*i2c_tvp5146m2*“ slúži na konfiguráciu prevodníka TVP5146M2PFP pomocou I²C zbernice. Táto zbernica obsahuje dva vodiče. Jeden hodinový a druhý dátový. Frekvencia hodinového signálu môže byť v rozmedzí 0-400kHz. V tomto prípade je frekvencia hodín 390,625kHz. Celý blok je rozdelený do 6 častí. Na začiatku po „*resete*“ resp. zapnutí napájania je potrebné počkať minimálne 4,1ms, kým sa môže prevodník konfigurovať. Čas medzi dvoma odoslanými inštrukciami musí byť aspoň 1,3μs. Tieto dve podmienky rieši časť bloku s názvom „*počítadlo od resetu*“. Tento čítač synchronizovaný na hodinový signál s frekvenciou 390,625kHz napočíta do hodnoty 4096 a nastaví vnútorný signál „*cas*“ na „1“. Čas, potrebný na načítanie čítača na túto hodnotu je zaokrúhlene 10,5ms, teda približne dva a pol krát viac, ako je minimálny čas pre inicializáciu od začiatku napájania resp. resetu a viac ako 8000 krát dlhší, ako minimálny čas medzi koncom odosielania jednej inštrukcie a začiatkom odosielania ďalšej. Táto veľká časová rezerva bola zvolená z dôvodu jednoduchosti návrhu. Nulovanie tohto čítača sa teda vykonáva stlačením tlačidla „*reset*“ alebo automaticky po každom úspešnom odoslaní inštrukcie na zbernicu I²C, ak táto inštrukcia nieje posledná (signál „*pocitadlo*“ je „11111“ a „*ok_int*“ je „1“) alebo pri neúspešnom odoslaní inštrukcie (vnútorný signál „*ack*“ je nulový).

Dôležitou časťou tohto bloku je časť s označením „*pocitadlo do 32*“ . Tento čítač začne čítať hodinové impulzy s frekvenciou 390,625kHz hneď potom, ako „*počítadlo*

od resetu“ dokončí svoj cyklus. Toto počítaadlo číta do 32. Vynuluje sa pri resete alebo ak signál „cas“ je nastavený na „0“.

Časť „výroba hodín i2c zbernice“ má za úlohu presne načasovať hodinové impulzy I²C zbernice. Obsahuje posuvný register, ktorý oneskoruje hodinový signál s frekvenciou 390,625kHz, a obsahuje logiku, ktorá generuje tzv ŠTART podmienku, STOP podmienku a hodinový signál I²C zbernice. Všetky logické operácie sú závislé na stave „pocitadla do 32“ teda konkrétne signálu „pocitadlo“. Hodinový signál I²C zbernice je oneskorený oproti hodinovému signálu s frekvenciou 390,625 kHz, a to z toho dôvodu, aby čelo aj tylo signálu hodín I²C zbernice boli v čase, keď stav dátového signálu má ustálenú hodnotu. Na Obr. 42 je zobrazené čelo (Č) a tylo (T) prvého hodinového taktu signálu I²C zbernice hneď po tzv. ŠTART podmienke, a prvý adresový bit s hodnotou „1“. Dátový signál I²C zbernice mení svoju hodnotu vzhľadom na nábežnú hranu (čelo) signálu hodín s frekvenciou 390,625 kHz, preto sa hodinový signál I²C, ktorý je na výstupe oproti vnútornému signálu negovaný, oneskoruje o ¼ periódy. (viď Obr. 42).



Obr. 42: Oneskorenie hodinového signálu I²C zbernice

Časť bloku „i2c_tvp5146m2“ je tabuľka s hodnotou adresy riadeného I²C zariadenia, subadresami a dátami, ktoré sa majú zapísať do zariadenia (Tab. 4). Ďalšia časť potom obsahuje prepínač, ktorý podľa stavu signálu „pocitadlo“ posielajú na výstup jednotlivé bity postupne za sebou. Na začiatku sa vygeneruje takzvaná ŠTART podmienka (Obr. 43). Štart podmienka znamená, že dátový vodič zmení stav z „1“ alebo z „Z“ na „0“. Potom sa zmení stav vodiča i2c hodín na nulu. Stav dátového vodiča sa zmení na hodnotu najvyššieho bitu adresy riadeného zariadenia a ďalej sa už pokračuje v synchronizácii s hodinami. Adresa zariadenia sa skladá zo 7 bitov a ôsmy bit určuje, či sa jedná o zápis do zariadenia alebo o čítanie zo zariadenia. Hardvérovým nastavením je prevodník nastavený na adresu „1011101b“ a keďže chceme do prevodníka zapisovať, 8 bit bude „0“. Adresa na zápis je „BAh“ („10111010“). Najskôr

subadresa	dáta	význam
00h	05h	nastavenie CVBS na VI2B pin
02h	00h	automatický výber farebnej normy
36h	A Eh	zapnuté VS a HS výstupy
35h	DDh	zapnuté AVID a FID výstupy
33h	43h	formát 10-bit 4:2:2, oddelená synchronizácia
34h	13h	zapnutie Y9-Y0 a CLK výstupov, dáta na čelo CLK
11h	C0h	nastavenie kontrastu Y, (východzí stav: 80h)

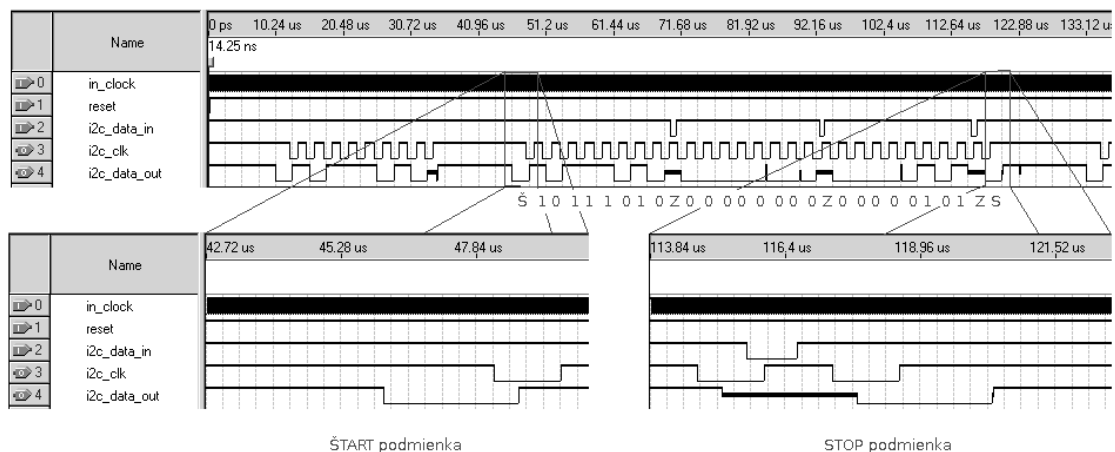
Tab. 4: Subadresy a dáta pre nastavenie prevodníka TVP5146M2 v príklade „bridge“ cez I2C zbernicu

sa teda posielajú jednotlivé bity adresy zariadenia s príznakom na zápis do zariadenia („0“), potom sa nastaví výstup na vysokú impedanciu, lebo nasleduje potvrdzujúci kontrolný bit (ACK) vyslaný riadeným zariadením. Ak sa prijme kontrolný bit v poriadku, pokračuje sa ďalej vysielaním bitov subadresy. Potom znova nasleduje ACK bit, takže zbernica sa znova nastaví do vysokej impedancie. Nakoniec sa pošlú dátové bity a na koniec znova ACK bit. Ak prebehne všetko v poriadku, na koniec sa vloží STOP podmienka a zbernica sa uvedie do kľudového stavu nastavením vysokej impedancie. STOP podmienka je stav, kedy dátová zbernica po poslednom kontrolnom ACK bite zmení stav na „0“, hodinový vodič zmení stav na „1“ a nakoniec dátový vodič zmení stav na „1“. Kontrola ACK bitu sa realizuje v samostatnom procese. Kontrola spočíva v tom, že sa testuje zbernica po odoslaní adresy, po odoslaní subadresy a po odoslaní dát a ak sa na zbernici objaví „1“ (znak chyby) alebo ostane vysoká impedancia nastavená riadiacím zariadením, teda blokom `i2c_tvp5146m2`, logika vyhodnotí tento stav a nastaví vnútorný signál „ack“ na nulu. Tým sa znuluje časť „pocitadlo od resetu“ a následne na to aj časť „pocitadlo do 32“ a systém sa znova pokúša odoslať poslednú inštrukciu (poznámka: inštrukcia=štart podmienka, adresa, subdáta, dáta, stop podmienka), ktorú nedokázal preniesť. Ak sa teda stane chyba pri prenose ôsmej inštrukcie, systém nezačne posilať od prvej inštrukcie, ale znova sa pokúsi poslať ôsmu inštrukciu, a bude to skúšať do vtedy, kým sa mu to nepodarí. Po úspešnom nakonfigurovaní prevodníka, zasvieti stredný segment na sedemsegmentovke.

Ako vidieť v Tab. 4, pomocou I²C zbernice sa v prevodníku nastavujú tieto hodnoty: nastaví sa kompozitný vstup na pin VI2B, zapnú sa výstupy riadkovej a

snímkovvej synchronizácie (HS, VS), výstup aktívneho videa (AVID) a indikátor nepárnej polsnímky (FID). Ďalej sa nastaví výstupný formát videa na YPbPr 10-bit 4:2:2 s oddelenou synchronizáciou, zapnú sa výstupy Y9-Y0 a výstup hodinového signálu a nastaví sa video na nábežnú hranu hodinového signálu. Ako nepovinné pre účel tohto príkladu sa nastaví väčší kontrast. Register pre kontrast je vo východnom stave nastavený na hodnotu 80h. Pomocou I²C zbernice ho nastavíme na hodnotu C0h, čím sa zvýši kontrast výstupného videa-signálu.

Na Obr. 43 je výsledok pri simulovaní bloku `i2c_tvp5146m2` spolu s blokom `delicka` pri vstupnom hodinovom signále 100MHz a zadanými ACK bitmi spolu s detailom ŠTART a STOP podmienky. Keďže v reálnom zapojení je signál `i2c_data` vstupno-výstupný, v simulácii sa tento signál rozdelil na signál `i2c_data_in` pre potvrdzovacie bity a `i2c_data_out`. Taktiež v simulácii sa skrátil čas na začiatku po zapnutí napájania resp. po resete a medzi jednotlivými inštrukciami.



Obr. 43: Výstup simulácie bloku `i2c` zbernice (`i2c_tvp5146m2`)

3.2.3 KOMPILÁCIA A SIMULÁCIA

Vývoj celej softvérovej časti od zostavenia, vyladenia, kompilácie, simulácie a naprogramovania FPGA obvodu prebiehal v programe Quartus II verzia 8.1 od firmy Altera. Prevažná časť kompilácie, simulácie a ladenia bola vykonaná na školskom serveri od firmy DELL s procesorom Intel Xeon E5345, ktorého každé zo štyroch jadier je taktované na frekvencii 2,33GHz, a RAM pamäťou 8GB. Operačným systémom je Microsoft Windows Server 2003 R2 Enterprise x64 Edition, verzia programu Quartus II je 8.1. Na serveri sa pracuje sa vzdialene a toto pracovisko je budované v rámci projektu KEGA.

Proces programovania obvodu FPGA bol vykonávaný prostredníctvom prenosného osobného počítača Asus A6Rp s procesorom Intel Celeron M s taktovacou frekvenciou jadra 1,6GHz, RAM pamäťou 2GB. Operačným systémom je Debian GNU/Linux verzia 5.0 (Lenny) a verzia programu Quartus II je 8.0 pre Linux. Na tomto počítači je tiež operačný systém Microsoft Window XP Profesional SP2 a verzia Quartus II 8.1 pre Windows. Tab. 5 ukazuje čas, za aký na týchto zostavách prebehla kompilácia príkladu „*bridge*“. Kompilácia príkladu „*generator*“ na osobnom počítači v OS Debian GNU/Linux, kde neboli korektne nainštalované IP funkcie, neprebehla úspešne. Preto tento údaj chýba v tabuľke.

Stroj a operačný systém	„<i>bridge</i>“	„<i>generator</i>“
Dell, Windows Server 2003 x64	105 sekúnd	229 sekúnd
Asus, Windows XP profesional	171 sekúnd	334 sekúnd
Asus, Debian GNU/Linux 5.0	85 sekúnd	-

Tab. 5: Čas kompilácie v sekundách

4 ZÁVER

Úlohy zadania tejto diplomovej práce boli splnené. Úlohou bolo spraviť prehľad základných a najbežnejších štandardov video-sigánalov, navrhnuť, optimalizovať a vyrobiť rozširujúcu dosku pre použitie s FPGA obvodom od firmy Altera pomocou štandardizovaného rozhrania SANTA CRUZ a overiť jeho funkčnosť pomocou IP funkcií na spracovanie video-sigánalov od tej istej firmy. Bol navrhnutý a vyrobený hardvérový modul resp. rozširujúca doska s A/D a D/A video-prevodníkmi s napojením k vývojovej doske. Jej rozmery boli obmedzené špecifikáciou rozhrania SANTA CRUZ, čo bolo v návrhu najväčším obmedzujúcim faktorom. Prevodník D/A je navyše možné využiť aj pre všeobecné účely, nielen na spracovanie video-sigánalu. Tiež sa počíta s výrobou dosky v profesionálnej firme. Pre tento účel boli vygenerované tzv. Gerber súbory s údajmi o všetkých vrstvách dosky a tiež vrtací a frézovací predpis pre NC vrtáčku. Tieto súbory sú v prílohách na CD-médiu. Ďalej boli vytvorené a skompilované demonštračné návrhy s využitím IP funkcií od firmy Altera a opisného jazyka VHDL, výsledkom čoho je generátor testovacieho obrazu „farebné pruhy“ a konvertor kompozitného na komponentné video YPbPr 576i (50Hz). Tým sa overila funkčnosť rozširujúcej dosky. Kompilácia demonštračných návrhov bola vykonaná na pracovisku vytvorenom v rámci projektu KEGA.

V budúcnosti by bolo vhodné vytvoriť ďalšie návrhy s použitím IP funkcií, či už priamo od firmy Altera, iných firiem, alebo z projektu OpenCores.org, s využitím rozširujúcej dosky s prevodníkmi, vyrobenej v rámci tejto diplomovej práce. Tieto návrhy by sa mohli zamerať na využitie DDR2 SDRAM pamäte prítomnej na vývojovej doske s FPGA obvodom Cyclone II, ktorá nebola v tejto práci využitá.

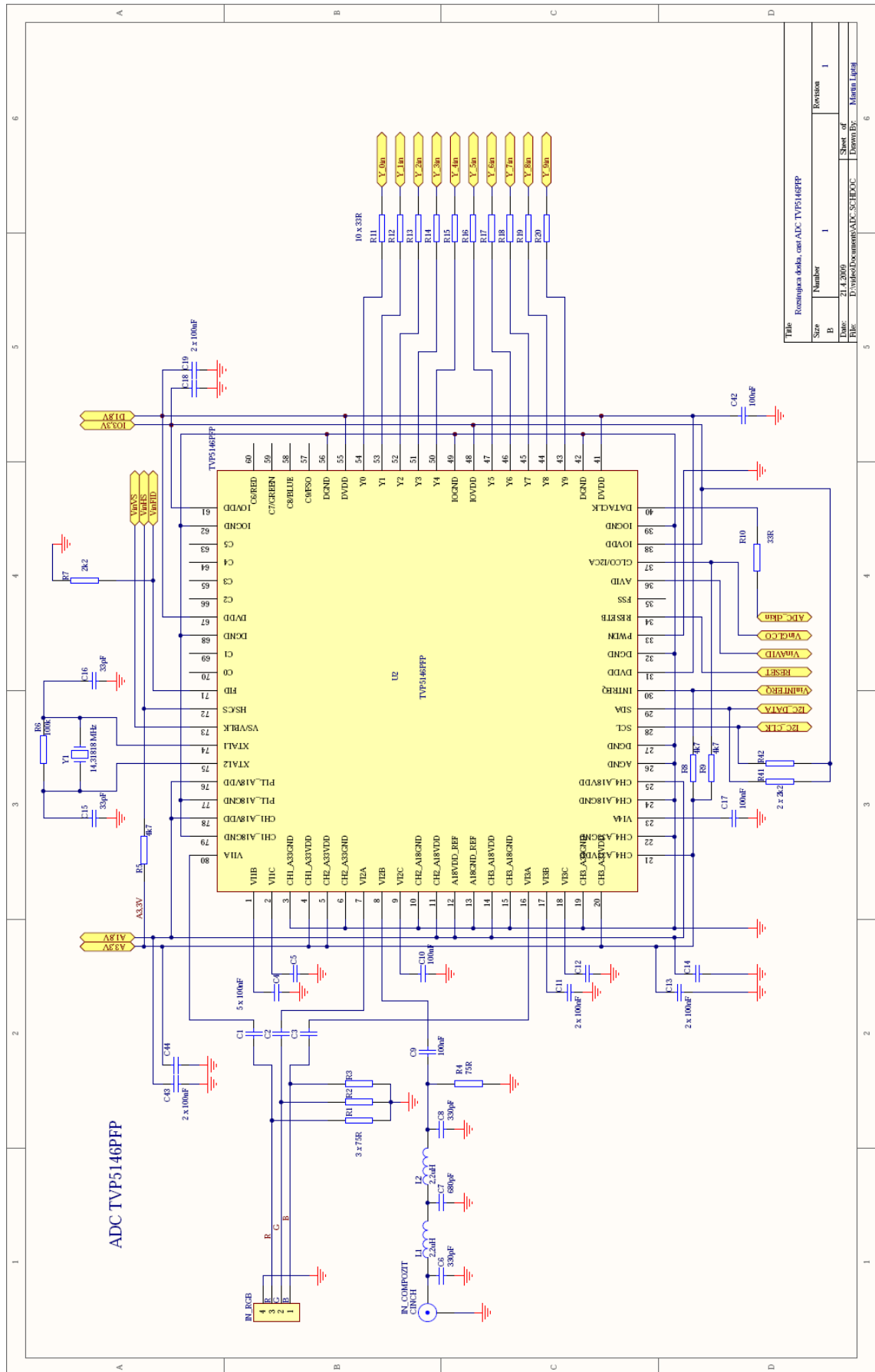
Zoznam použitej literatúry

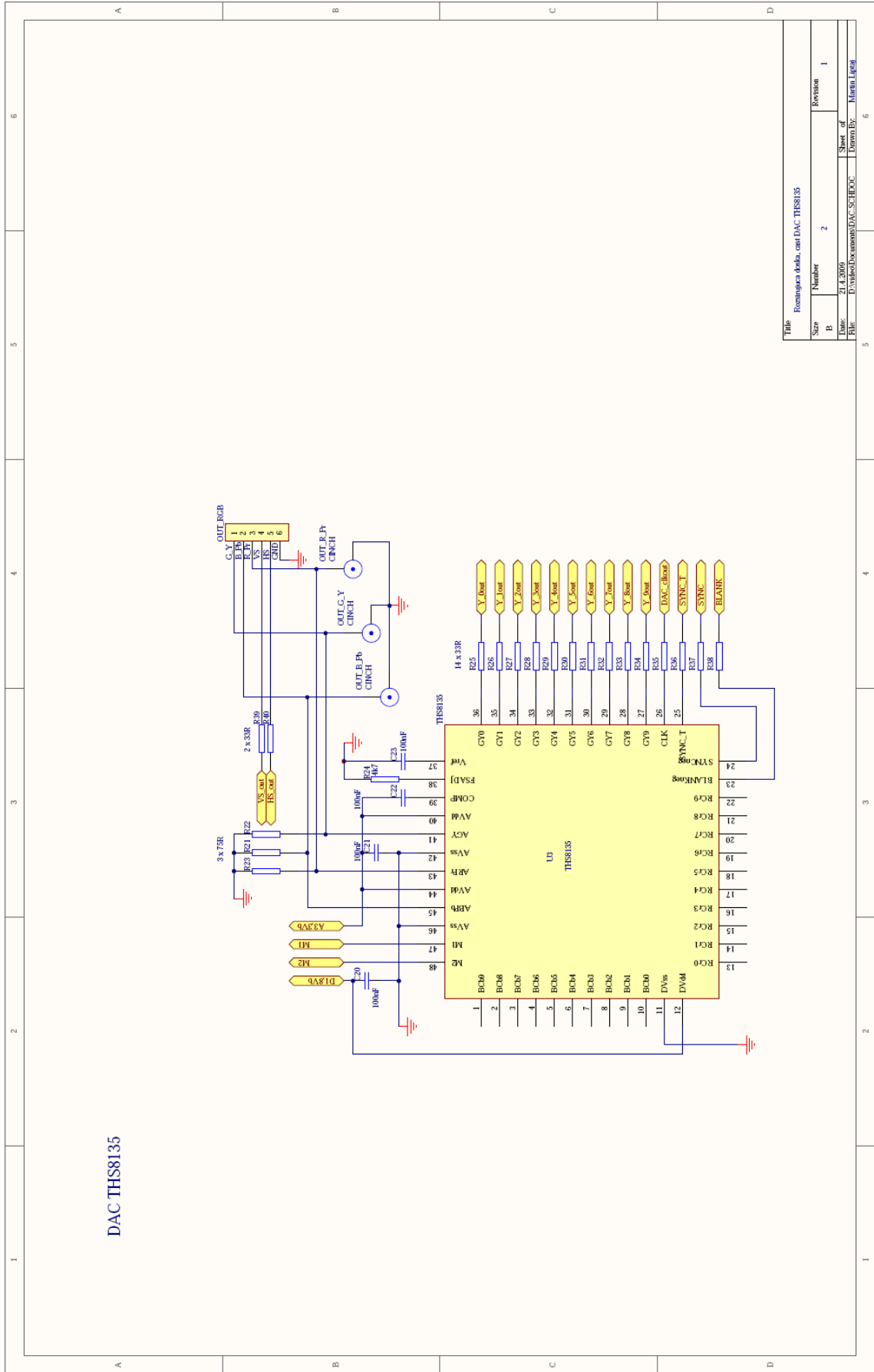
- [1] Doc. Ing. Václav Říčný, Csc. : *Televizní technika, SNTL - nakladatelství technické literatury n.p., Praha 1984*
- [2] Poznámky z predmetu: *Televízna technika*
- [3] Katalógový list k elektronickej súčiastke firmy [Texas Instruments](#)
TVP5146M2PFP
- [4] Katalógový list k elektronickej súčiastke firmy [Texas Instruments](#)
THS8135
- [5] Internetová encyklopédia wikipedia.org:
http://en.wikipedia.org/wiki/Main_Page
- [6] Internetová stránka spoločnosti ALTERA: <http://www.altera.com/>
- [7] Internetová stránka projektu OpenCores.org: <http://www.opencores.org/>
- [8] OpenCore Plus Evaluation of Megafunctions, Application Note 320,
November 2007, verzia 1.6, <http://www.altera.com/literature/an/an320.pdf>
- [9] Video and Image Processing Suite, User Guide, July 2008, Suite Version 8.0,
http://www.altera.com/literature/ug/ug_vip.pdf
- [10] Ing. Vladimír Vít : *Televizní technika, přenosové barevné soustavy, BEN technická literatura, Praha 1997*
- [11] Katalógový list k elektronickej súčiastke firmy [Texas Instruments](#)
TPS73618
- [12] Cyclone II DSP Development Board, Reference Manual, verzia 6.0.1,
August 2006
- [13] Santa Cruz Connector Spec, Altera Corporation, Rev. 07, Marec 2004
- [14] Recommendation ITU-R BT.601-4, encoding parameters of digital television for
studios, 1995
- [15] Recommendation ITU -R BT.656-4, interfaces for digital componnet video
signals in 525-line and 625-line television system operating at the 4:2:2 level of
recommendation ITU-R BT.601 (PART A), 1998

Prílohy

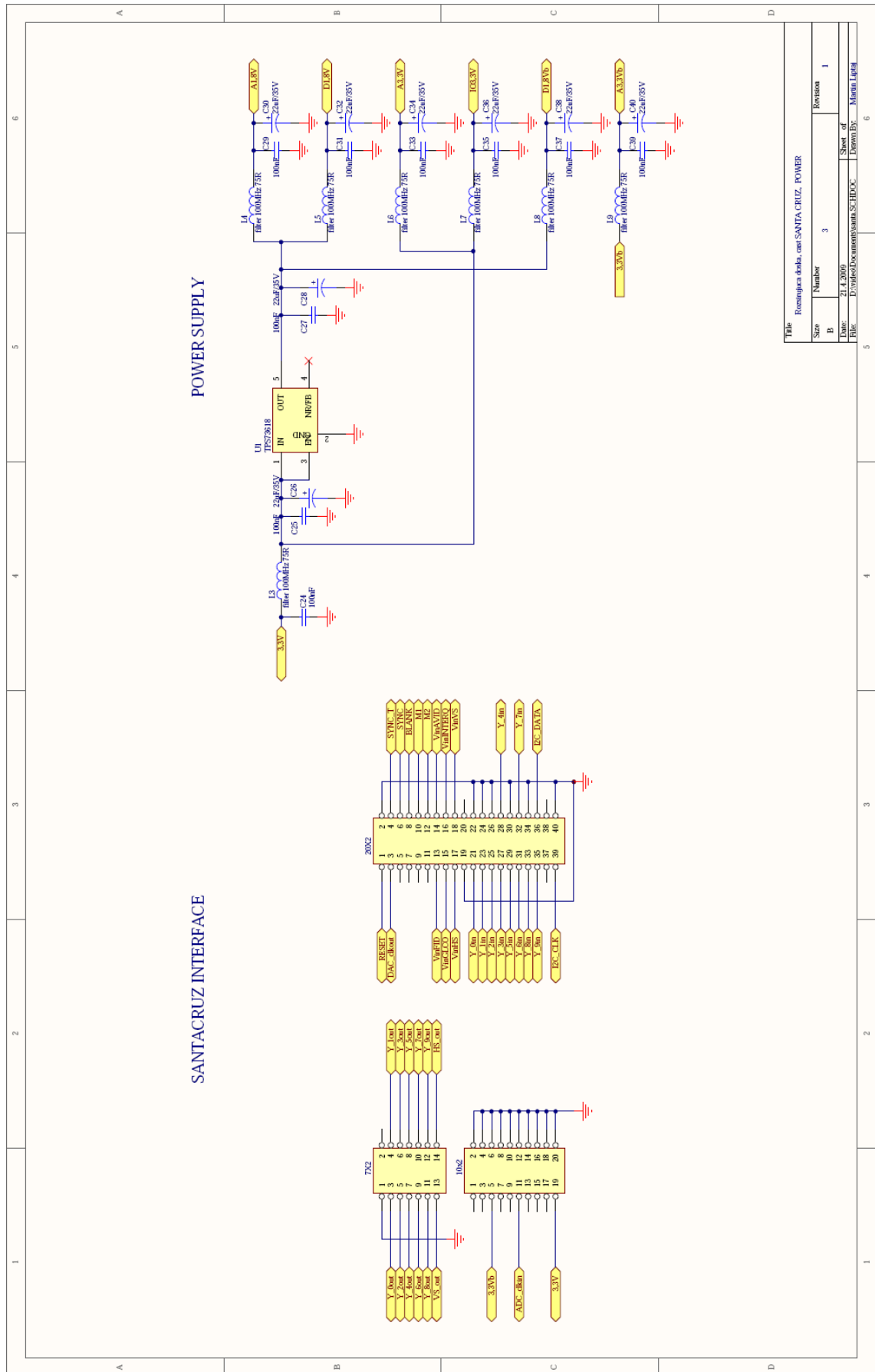
- Príloha A: Schéma rozširujúcej dosky
Rozmiestnenie súčiastok zo strany súčiastok (TOP)
Rozmiestnenie súčiastok zo strany spojov (BOTTOM)
Zoznam súčiastok
- Príloha B: VHDL kód „*delicka*“
VHDL kód „*vyripm*“
VHDL kód „*init_ths8135*“
VHDL kód „*i2c_tvp5146m2*“
- Príloha C: CD médium
diplomová práca v elektronickej podobe,
prílohy v elektronickej podobe,
Gerber data (všetky masky a vrtací predpis)
Quartus projekty (generator, bridge)

Príloha A

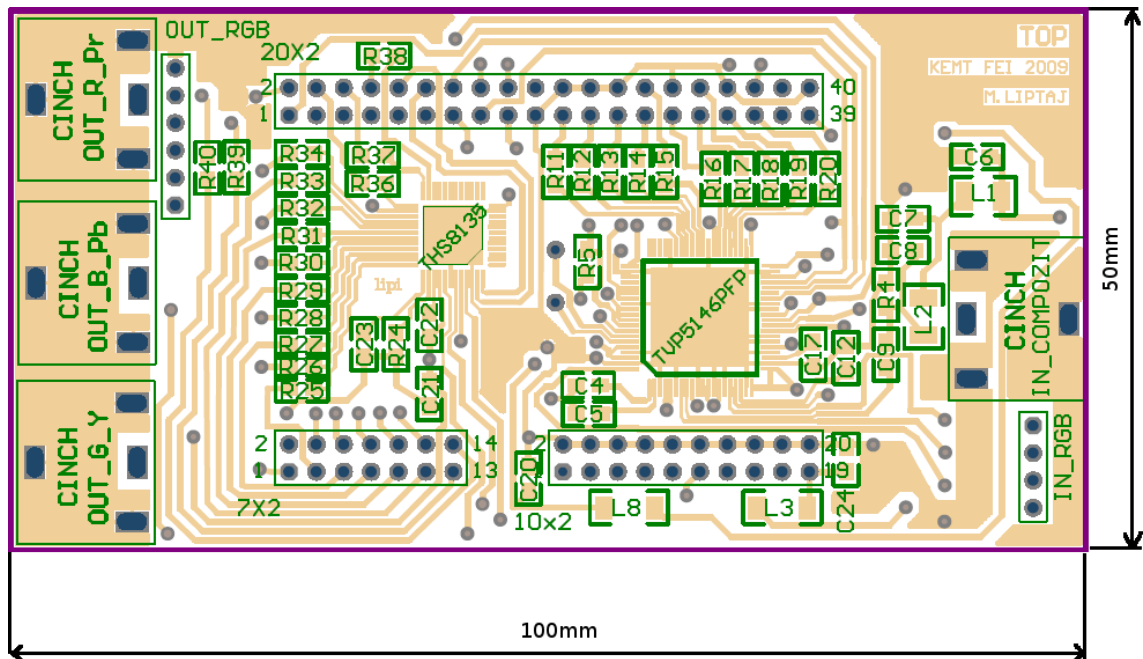




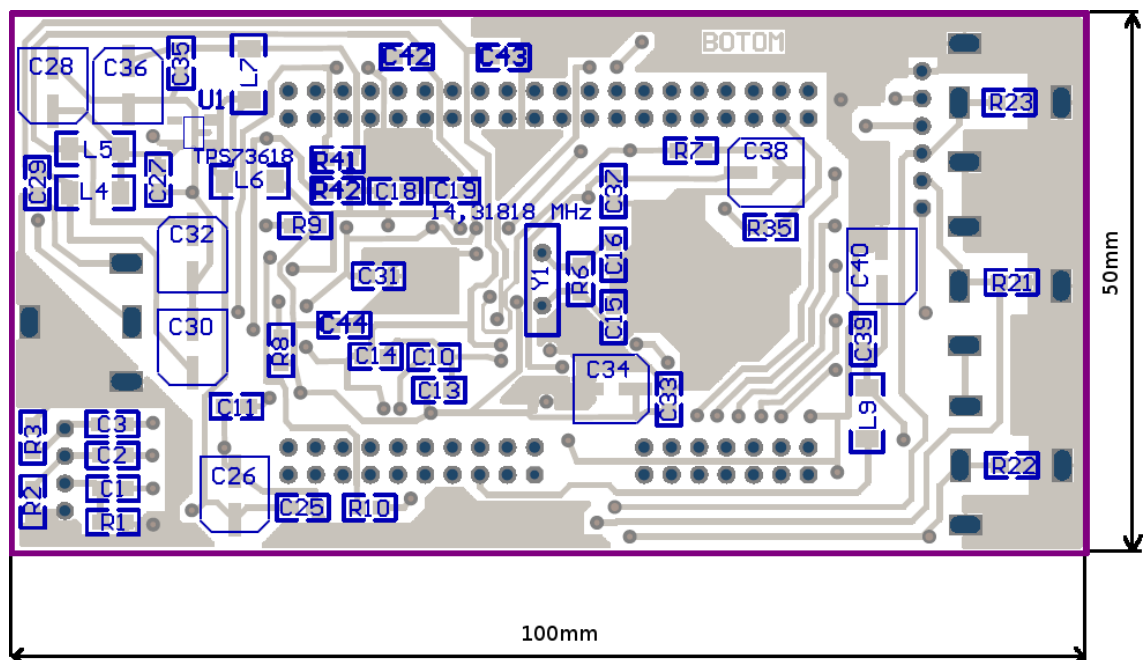
File: Rozwiązanie do zadania o DAC THS8135					
Size	Number	2	Revision	1	
B					
Date:	21.4.2019				
File:	D:\wpl\Documents\DAC_SCHDOC	Sheet of	6		
Drawn By:	Mateusz Litwin				



Title			
Rozwiązanie do zad. oem SANTA CRUZ. POWER			
Size	Number	Revision	
B	3	1	
Date:	21.4.2010		
File:	D:\video\exam\yama\SCHDOC	Sheet of	6
		Drawn By:	Krzysztof Litwin



Obr. 44: Rozmiestnenie súčiastok zo strany súčiastok s vyznačenými rozmermi dosky



Obr. 45: Rozmiestnenie súčiastok zo strany spojov s vyznačenými rozmermi dosky

Rozpis súčiastok

Číslo súčiastky	Počet kusov	druh	puzdro
Kondenzátory			
C1-C5, C9-C14, C17-C23, C24, C25, C27, C29, C31, C33, C35, C37, C39, C42-C44	30	100nF	0805
C26, C28, C30, C32, C34, C36, C38, C40	8	22 μ F/35V	CSMD
C15, C16	2	33pF	0805
C6, C8	2	330pF	0805
C7	1	680pF	0805
Rezistory			
R10-R20, R25-R40	27	33 Ω	0805
R1, R2, R3, R4, R21, R22, R23	7	75 Ω	0805
R5, R8, R9	3	4,7k Ω	0805
R6	1	100k Ω	0805
R7, R41, R42	3	2.2k Ω	0805
R24	1	3,9k Ω	0805
Cievky a filtre			
L1, L2	2	2,2 μ H	LQH32CN2R2M23L
L3-L9	7	filtr.100MHz,75 Ω , BLM 41 P 750 S PT	
Ostatné			
Y1	1	14,31818MHz	
U1	1	TPS73618	5SOT-23
U2	1	TVP5146PPF	80 TQFP
U3	1	THS8135	48 HTQFP
IN_COMPOZIT, OUT_R_Pb, OUT_G_Y, OUT_B_Pb	4	CINCH	
IN_RGB	1	CON4	
OUT_RGB	1	CON6	
SANTACRUZ	1	PIN HEADER 2x7, 2x10, 2x20	

Príloha B

delicka.vhd

```
--delicka 2^N
--example: ak N=2 a vstup je 100MHz => 100MHz/2^N=100*10^6/2^2=100*10^6/4=25MHz ...atd.
--ps: pridany jeden vystup 8*hodiny=hodiny2

--zadefinovanie kniznic
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
-----
-- definovanie vstupov a vystupov
ENTITY delicka IS
generic
(
    N          : integer:= 8 --minimalne 4 (jeden vystup (8*vstupna frekvencia)je
pripojena na N-3 bit)
);
PORT(
    clock_100Mhz      : IN std_logic; -- hodiny vstup 100 Mhz
    hodiny, hodiny2   : OUT std_logic -- hodiny vystup (hodiny2=4*hodiny)
);
END delicka;
-----
--architektura delicky
ARCHITECTURE delic OF delicka IS

signal clock_vector      : std_logic_vector (N downto 1); -- vektor pouzity na delenie

BEGIN
    delicfrekvencie: process(clock_100MHz)
    begin
        if (clock_100MHz'event and clock_100MHz='1') then
            clock_vector <= clock_vector + 1;
        end if;
    end process delicfrekvencie;
    hodiny<=clock_vector(N);
    hodiny2<=clock_vector(N-3); --osemnasobna frekvencia
END delic;
```

vyrimp.vhd

```
--impulz, sirka 4,5us, delay 32us pri vstupnej frekvencii clock=27MHz
--hsync=15625Hz =>Thsync=64us

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity vyrimp is
port
(
    clock          : IN std_logic; --hodiny
    hsync_in : IN std_logic; --riadkova synchronizacia z generatora
    hsync_2out      : OUT std_logic --riadkova dvojnásobna frekvencia
);
end vyrimp;
architecture pocitadlo of vyrimp is
signal a,b: std_logic;
signal counter : std_logic_vector (9 downto 0);
begin

    hsync: process (counter,hsync_in)
    begin
        if (counter=985) then          -- counter je 985
            a<='0';                    -- koniec hsync impulzu 32us+4,5us
        elsif (hsync_in'event and hsync_in='1') then -- zaciatok odratavania 32us+4,5us
            a<='1';
        end if;
    end process hsync;

    pocitac: process (clock)
    begin
        if (a='0') then
            counter<= (others => '0'); -- ak dosiahne pocitadlo hodnotu 985, vynuluje pocitadlo
            b<='0';                    -- na vystup ide logicka nula
        elsif (clock'event and clock='1' and a='1') then
            counter<=counter+1;
        end if;
    end process pocitac;
```

```

                if (counter>864 and counter<983) then      -- po v intervale 32us a 32us+4,5
                    b<='1';                                -- logicka 1 na vystupe
                end if;
end if;
end process pocitac;
hsync_2out<=hsync_in or b;                                -- scitanie vstupneho a o 32us posunuteho
end pocitadlo;                                           -- impulzu => polovicna frekvencia

```

init_ths8135.vhd

```

--inicializacia prevodnika ths8135
--nastavenie: vstup 1x10bit, YPbPr, vlozena synchronizacia, redukovany vystupny rozsah
--zadefinovanie kniznic
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity init_ths8135 is
port
(
clock          : IN std_logic; --hodiny
f              : IN std_logic; --F1 alebo F0
datavalid     : IN std_logic; --indikuje aktivne video?!?..
hsync_in      : IN std_logic; --riadkova synchronizacia z generatora
hsync_2in     : IN std_logic; --dvojnásobna riadkova frekvencia
vsync_in      : IN std_logic; --horizontalna synchronizacia z generatora
hsync_out     : OUT std_logic; --horizontalna (riadkova) synchronizacia OUT pre VGA
vsync_out     : OUT std_logic; --vertikalna (snimkova) synchronizacia OUT pre VGA
M1, M2, SYNC, SYNC_T, BLANK : OUT std_logic --konfiguracne vystupy pre prevodnik ths8135
);
end init_ths8135;

architecture inicializacia of init_ths8135 is
signal SYNC_int: std_logic:='0';
signal SYNC_delay_tmp, SYNC_delay, synchro, impuls : std_logic;
signal counter : std_logic_vector (5 downto 0);
signal clock_vector : std_logic_vector (5 downto 0);

begin
patnast: process (hsync_2in, vsync_in) -- vyroba 15 vyrovnacich a synchro. impulzov
begin
    if (hsync_2in'event and hsync_2in='0') then      -- citac
        if (counter=0 and vsync_in='1') then        -- start citaca pri vsync=1
            counter<=counter+1;
        elsif (counter>0 and counter<50)then
            counter<=counter+1;
        elsif (counter=50 and vsync_in='0')then     -- vynulovanie citaca
            counter<=(others => '0');
        end if;
    end if;

    if (f='1') then                                  -- 15 impulzov pri F1 snimke
        if (counter=0 and vsync_in='0') then
            synchro<=hsync_in;
        elsif (counter=0 and vsync_in='1') then
            synchro<=hsync_2in;
        elsif (counter>0 and counter<7) then
            synchro<=hsync_2in;
        elsif (counter>6 and counter<12) then
            synchro<=not hsync_2in;
        elsif (counter>11 and counter<17) then
            synchro<= hsync_2in;
        elsif (counter>16)then
            synchro<= hsync_in;
        end if;
    elsif (f='0') then                               -- 15 impulzov pri F0 snimke
        if (counter=0) then
            synchro<=hsync_in;
        elsif (counter>0 and counter<6) then
            synchro<=hsync_2in;
        elsif (counter>5 and counter<11) then
            synchro<=not hsync_2in;
        elsif (counter>10 and counter<16) then
            synchro<= hsync_2in;
        elsif (counter>15)then
            synchro<= hsync_in;

```

```

        end if;
end if;

end process patnast;

delay: process (clock)
    begin
        if (clock'event and clock='0') then
--vyroba delay_sync pre konfiguraciu
                SYNC_int <= synchro;
                SYNC_delay_tmp <= SYNC_int;
                SYNC_delay <= SYNC_delay_tmp;
        end if;
end process delay;
-- vystupy
hsync_out <= not hsync_in;
vsync_out <= not vsync_in;
M1 <= SYNC_delay;
M2 <= SYNC_delay;
BLANK <= datavalid;
SYNC <= not synchro;
SYNC_T <= '0';

end inicializacia;

```

i2c_tvp5146m2.vhd

```

-- i2c_tvp5146m2.vhd konfiguracia prevodnika tvp5146m2 cez i2c zbernicu s kontrolou kontrolneho ack
bitu
-- zadefinovanie kniznic
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

ENTITY i2c_tvp5146m2 IS
PORT(
    --vstup
    clk                : IN std_logic; -- hodiny vstup 390,625 kHz
    clk2               : IN std_logic; -- hodiny vstup 3,125 MHz
    reset              : IN std_logic; --asynchronny reset, 0 aktivna
    i2c_data_in        : IN std_logic; --datovy vstup zbernice i2c (ACK bit)

    --vystupy
    i2c_data_out       : OUT std_logic; --datovy vystup zbernice i2c
    i2c_clk            : OUT std_logic; --hodinovy vystup zbernice i2c
    ok                 : OUT std_logic --ok vystup..ak vsetko prebehlo v poriadku
);
END i2c_tvp5146m2;
-----

architecture tvp5146m2 of i2c_tvp5146m2 is
    signal pocitadlo2048: std_logic_vector (10 downto 0); --pocitadlo od resetu,resp zap. napajania
    signal pocitadlo : std_logic_vector (4 downto 0); --pocitadlo
    signal cas, ack : std_logic; --cas=1 =>presiel potrebnny cas od startu, ack=0 => potvrdzovaci bit z
    prevodnika
    signal clk_delay1, clk_delay2, i2c_data_int, i2c_clk_int, ok_int : std_logic;
    signal prikaz : std_logic_vector (3 downto 0); -- pocitadlo vyslanych prikazov
    --registre s hodnotami adries, subadries, konfiguracnych dat,
    signal adresa : std_logic_vector (7 downto 0);
    signal sub,sub1,sub2,sub3,sub4,sub5,sub6,sub7,sub8,sub9,sub10,sub11,sub12,sub13 : std_logic_vector
    (7 downto 0);
    signal dat,dat1,dat2,dat3,dat4,dat5,dat6,dat7,dat8,dat9,dat10,dat11,dat12,dat13 : std_logic_vector
    (7 downto 0);
    begin
--registre s hodnotami adries, subadries, konfiguracnych dat i2c zbernice prevodnika tvp5146m2,
        adresa<="10111010"; --adresa prevodnika tvp5146m2

        sub1<="00000000";--video mod
        dat1<="00000101";--cvbs zo vstupu VI2B

        sub2<="00000010";--vyber farebnej normy
        dat2<="00000000";--PAL (B,D,G,H,I,N)

```

```

sub3<="00110110";--synchronizacne vystupy (36h)
dat3<="10101111";--VS,HS zapnute

sub4<="00110101";--synchronizacne vystupy (35h)
dat4<="11101110";--AVID a FID zapnute

sub5<="00110011";--nastavenie vystupu (33h)
dat5<="0100011";--10-bit 4:2:2 s oddelenou synchronizaciou

sub6<="00110100";--zapnutie vystupu (34h)
dat6<="00010011";--zapnutie Y, hodiny a nastavenie "Data clocked out on the rising edge of
DATACLK"

sub7<="00010001";--kontrast Y(11h)
dat7<="11000000";--kontrast (128 (80h) default)

-----
--rozhranie

i2c_data_out <= i2c_data_int;
i2c_clk <= i2c_clk_int;
ok<=ok_int;
-----
--pocitadlo od resetu
pocitadlo_od_resetu:
  process(reset, clk) is
  begin
    if(reset = '0' or (pocitadlo="11111" and ok_int='1') or ack='0') then
      pocitadlo2048 <= (OTHERS => '0');
      cas<='0';
    elsif (clk'event and clk='1') then
      if(pocitadlo2048<"1111111111") then
--        if(pocitadlo2048<"0000000011") then --simulacia
          pocitadlo2048 <= pocitadlo2048+1;
          cas<='0';
--        elsif(pocitadlo2048="1111111111") then
          elsif(pocitadlo2048="0000000011") then --simulacia
            cas<='1';
          end if;
        end if;
      end process pocitadlo_od_resetu;

-----
--vyroba hodin i2c zbernice

hodinky_i2c: process(reset, clk2) is
  begin
    if(reset = '0' or cas='0') then
      i2c_clk_int <= '1';
      clk_delay1 <= '0';
      clk_delay2 <= '0';
    elsif (clk2'event and clk2='1' and cas='1') then
      if (pocitadlo>"00000" and pocitadlo<"11101") then
        clk_delay1 <= clk;
        clk_delay2 <= clk_delay1;
        i2c_clk_int <= not clk_delay2;
      elsif (pocitadlo >"11100" and pocitadlo <"11111") then
        clk_delay1 <= '0';
        clk_delay2 <= clk_delay1;
        i2c_clk_int <= not clk_delay2;
      elsif (pocitadlo ="11111") then
        i2c_clk_int <= 'Z';
      end if;
    end if;
  end process hodinky_i2c;

-----
--pocitadlo do 32

pocitadlo_32: process (reset, clk) is
  begin
    if      (reset = '0' or cas='0') then
      pocitadlo <= (OTHERS => '0');
    elsif (clk'event and clk='0' and pocitadlo < "11111" and cas='1') then
      pocitadlo<=pocitadlo+1;
    else pocitadlo<=pocitadlo;
    end if;
  end process pocitadlo_32;

-----
--kontrola ack kontrolneho bitu

```

```

kontrola_ack : process (reset, clk) is
begin
    if      (reset='0' or ack='0') then
        ack<='1';
    elsif (clk'event and clk='1' and ((pocitadlo="01010") or (pocitadlo="10011") or
(pocitadlo="11100")) and (i2c_data_in='1' or i2c_data_in='Z')) then
        ack<='0';
    end if;
end process kontrola_ack;

-----
--tabulka hodnot pre datovy vodiac i2c zbernice + plus prepnanie prikazov

vystup: process (clk, reset) is
begin
    if (prikaz="0000") then sub<=sub1; dat<=dat1;
    elsif (prikaz="0001") then sub<=sub2; dat<=dat2;
    elsif (prikaz="0010") then sub<=sub3; dat<=dat3;
    elsif (prikaz="0011") then sub<=sub4; dat<=dat4;
    elsif (prikaz="0100") then sub<=sub5; dat<=dat5;
    elsif (prikaz="0101") then sub<=sub6; dat<=dat6;
    elsif (prikaz="0110") then sub<=sub7; dat<=dat7;
    end if;
    if (reset = '0') then prikaz <="0000"; ok_int<='1';
    elsif (clk'event and clk='1' and prikaz/="0110" and pocitadlo="11101") then
prikaz<=prikaz+1;
    elsif (clk'event and clk='1' and prikaz="0110" and pocitadlo="11101") then ok_int<='0';
    end if;
        case pocitadlo is
            when "00000" => i2c_data_int <= '1';
            when "00001" => i2c_data_int <= '0';
            when "00010" => i2c_data_int <= adresa(7);
            when "00011" => i2c_data_int <= adresa(6);
            when "00100" => i2c_data_int <= adresa(5);
            when "00101" => i2c_data_int <= adresa(4);
            when "00110" => i2c_data_int <= adresa(3);
            when "00111" => i2c_data_int <= adresa(2);
            when "01000" => i2c_data_int <= adresa(1);
            when "01001" => i2c_data_int <= adresa(0);
            when "01010" => i2c_data_int <= 'Z';
            when "01011" => i2c_data_int <= sub(7);
            when "01100" => i2c_data_int <= sub(6);
            when "01101" => i2c_data_int <= sub(5);
            when "01110" => i2c_data_int <= sub(4);
            when "01111" => i2c_data_int <= sub(3);
            when "10000" => i2c_data_int <= sub(2);
            when "10001" => i2c_data_int <= sub(1);
            when "10010" => i2c_data_int <= sub(0);
            when "10011" => i2c_data_int <= 'Z';
            when "10100" => i2c_data_int <= dat(7);
            when "10101" => i2c_data_int <= dat(6);
            when "10110" => i2c_data_int <= dat(5);
            when "10111" => i2c_data_int <= dat(4);
            when "11000" => i2c_data_int <= dat(3);
            when "11001" => i2c_data_int <= dat(2);
            when "11010" => i2c_data_int <= dat(1);
            when "11011" => i2c_data_int <= dat(0);
            when "11100" => i2c_data_int <= 'Z';
            when "11101" => i2c_data_int <= '0';
            when "11110" => i2c_data_int <= '1';
            when "11111" => i2c_data_int <= 'Z';
            when others => i2c_data_int <= 'Z'; -- ak nieco ine..
        end case;
    end process vystup;
end tvp5146m2;

```