

Návrhové prostredia v MG

Pavol Galajda, KEMT, FEI, TUKE

Pavol.Galajda@tuke.sk

Rozmiestnenia prvkov na čipe- IC Station

Rozmiestnenie prvkov na čipe (*Layout*), alebo morfológia masiek pre výrobu integrovaných obvodov je časovo náročnejšie ako nakreslenie v **DA**.

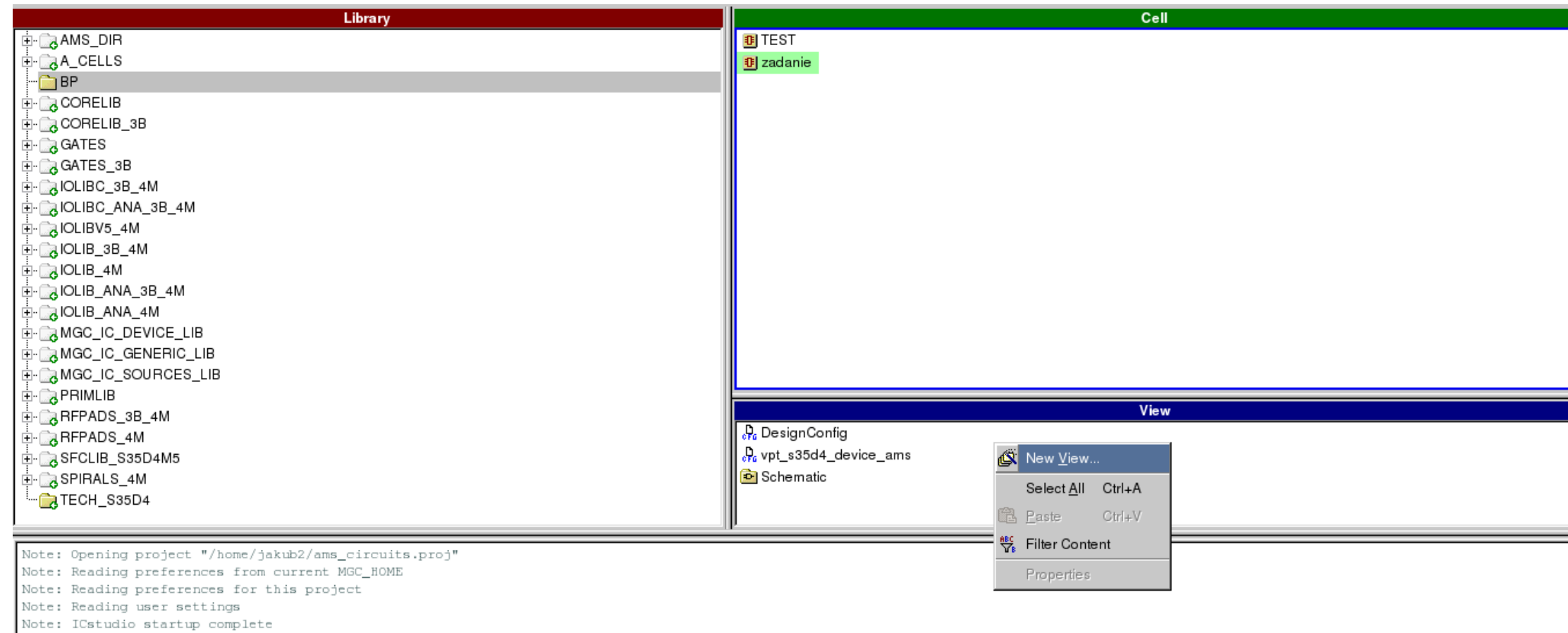
Je **zložitejšie** a vyžaduje si **presnosť** pri vytváraní jednotlivých vrstiev!

Pri rozmiestnení prvkov je potrebné voliť vodivé vrstvy tak, aby výsledný návrh nemal:

impedančný,

alebo **kapacitný charakter.**

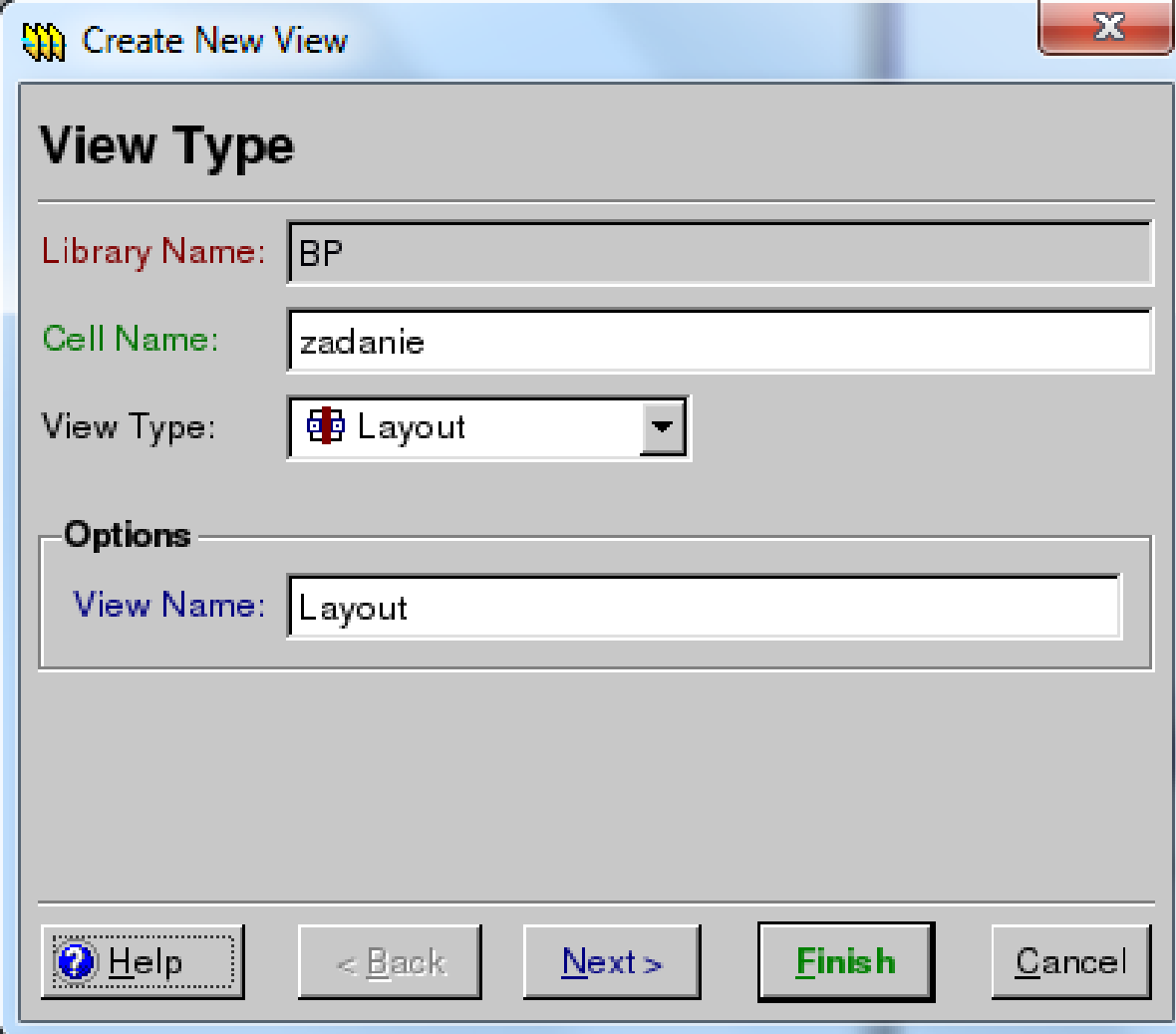
Do prostredia *Layout* sa dostaneme tak, že na začiatku si vytvoríme v knižnici, v okne View, nový *New View Type* → **LAYOUT**



Vytvorenie projektu Layout

V okne *Create New View* zvolíme *Type* **Layout** → *Finish*


Nasledovne sa nám otvorí prostredie v ktorom môžeme navrhnuť rozmiestnenie prvkov na čipe a ich prepojenie- **Layout**.



View Type


Library Name: BP

Cell Name: zadanie

View Type:  Layout

Options

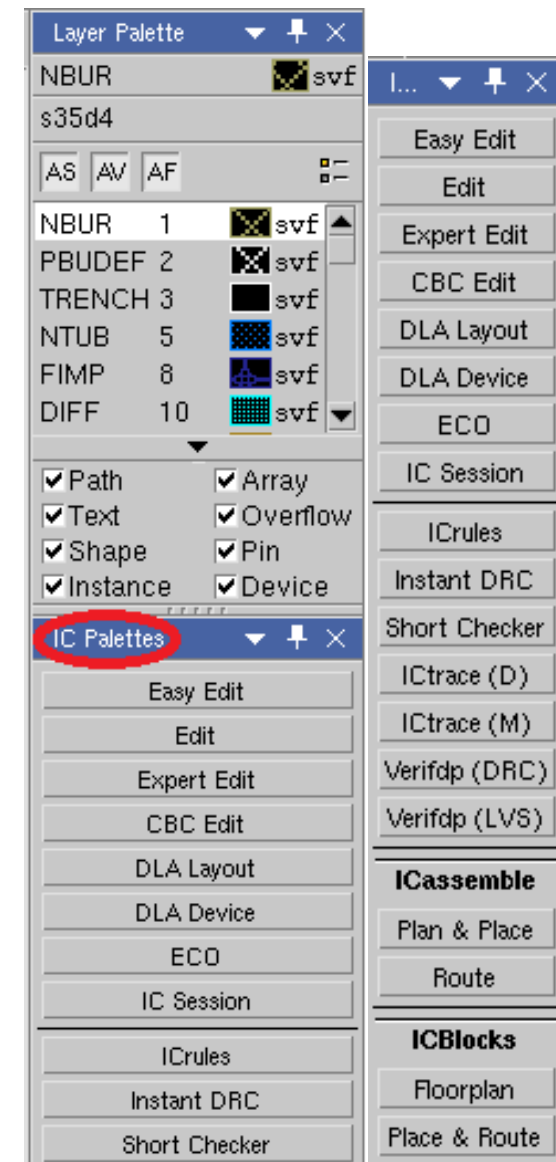
View Name: Layout

 Help < Back Next > **Finish** Cancel

Vytvorenie View Type

Odporúčanie- tabuľku nástrojov → *IC Palettes* presunúť do ľavej lišty.

Stlačíme ľavé tlačidlo na myške, držíme na *IC Palettes* a presunieme do ľavej lišty. Presun lišty IC Palettes



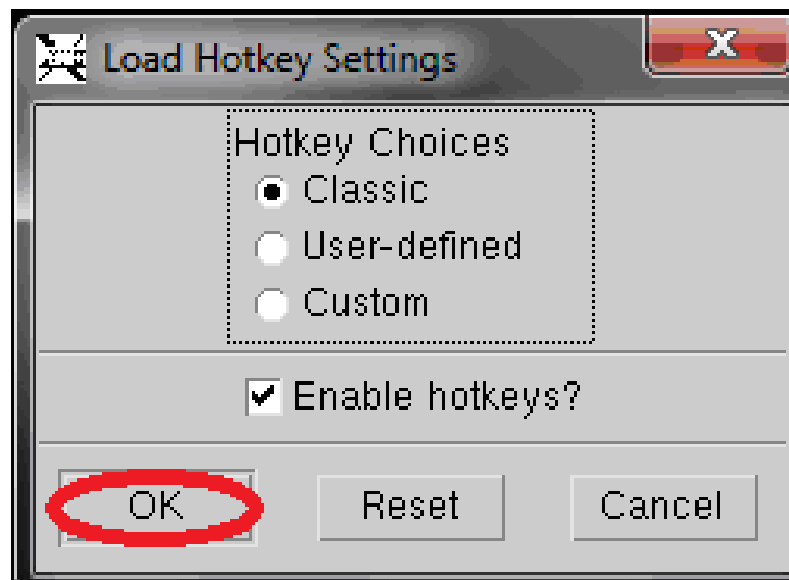
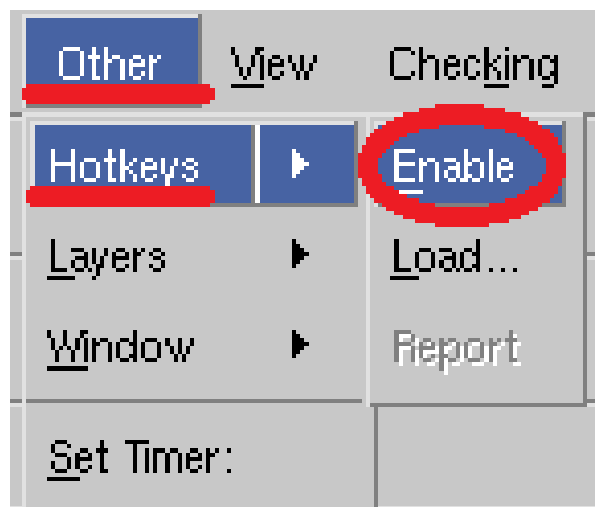
ODPORÚČANIE **zapnúť** Hotkeys!

Vpravo hore nad *Layer Palette*

Hotkeys: off

Zapnutie Hotkeys:

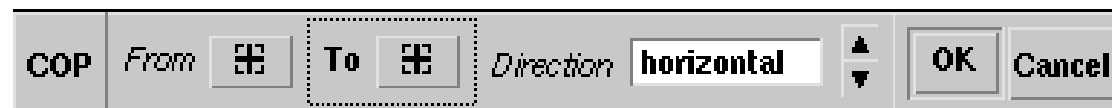
Hotkeys: on



Hotkeys umožňuje klávesové skratky

R (rotácia), C (kopírovanie), M (premiestňovanie).

Po zadaní skratky R, M, či **C**



možné definovať smer (*Direction*)- horizontálne, vertikálne, diagonálne.

Výrazne to uľahčuje rozloženie prvkov.

Výber prvkov

Jednotlivé prvky si vyberieme z hornej „hlavnej“ lišty

HIT-Kit Utilities → *AMS Devices* (obr.).

Po usadení jednotlivých prvkov

prvky od značíme klávesovou skratkou F2.



AMS Devices

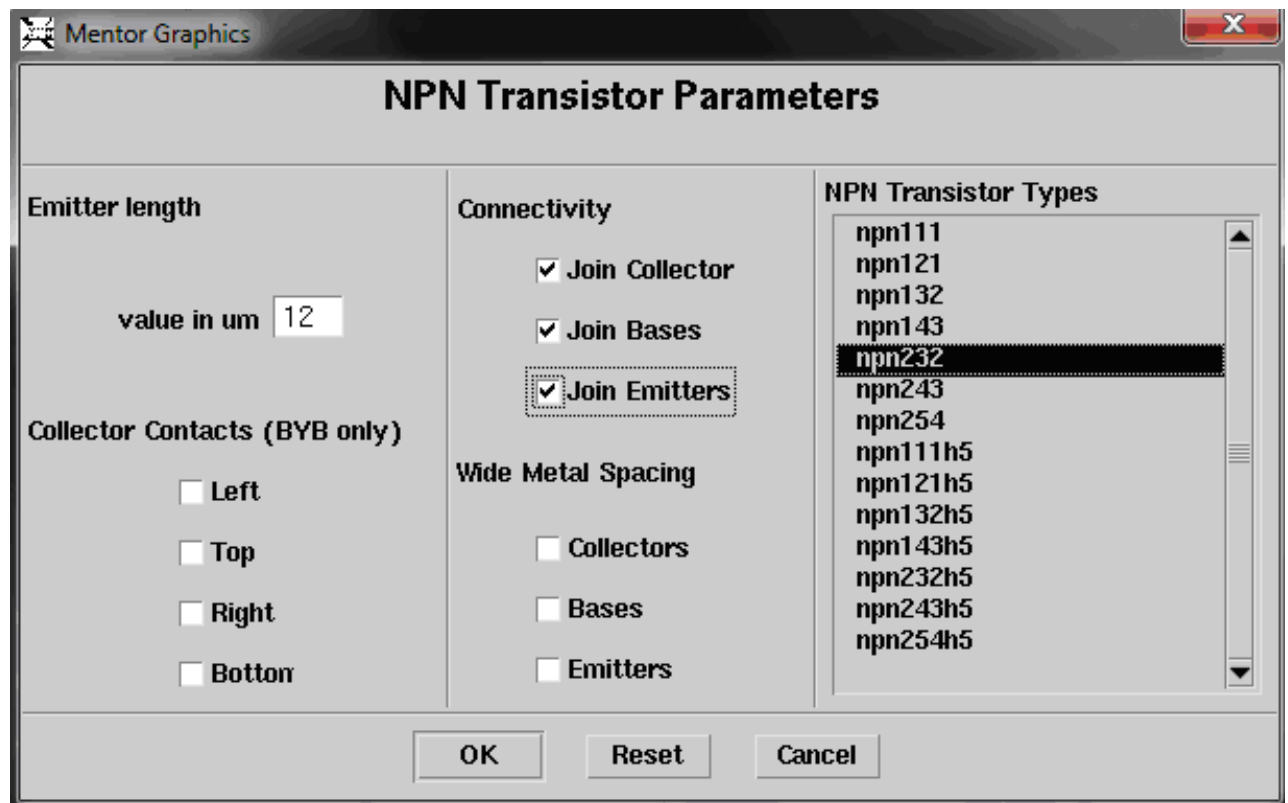
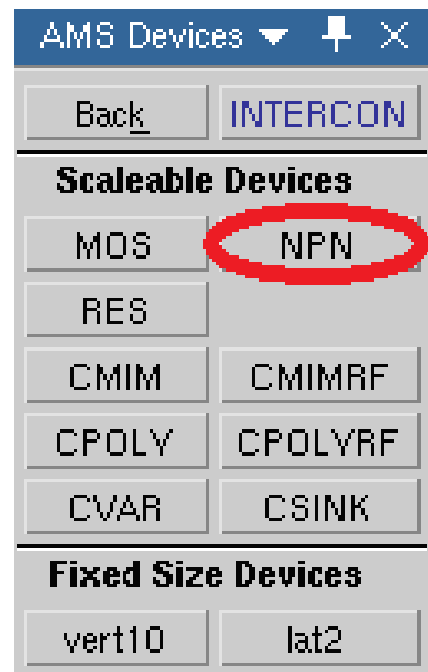
Vloženie tranzistorov

Tranzistory *NPN* → **nastavenia parametrov**.

Dĺžka emitora podľa požiadaviek, napr. **12** alebo 3 (*Emitter length*).

Connectivity (obr.) odporúčané odškrtnúť **všetky tri políčka**. V *NPN*

Tranzistor Types vyberieme požadovaný druh tranzistora → *OK*



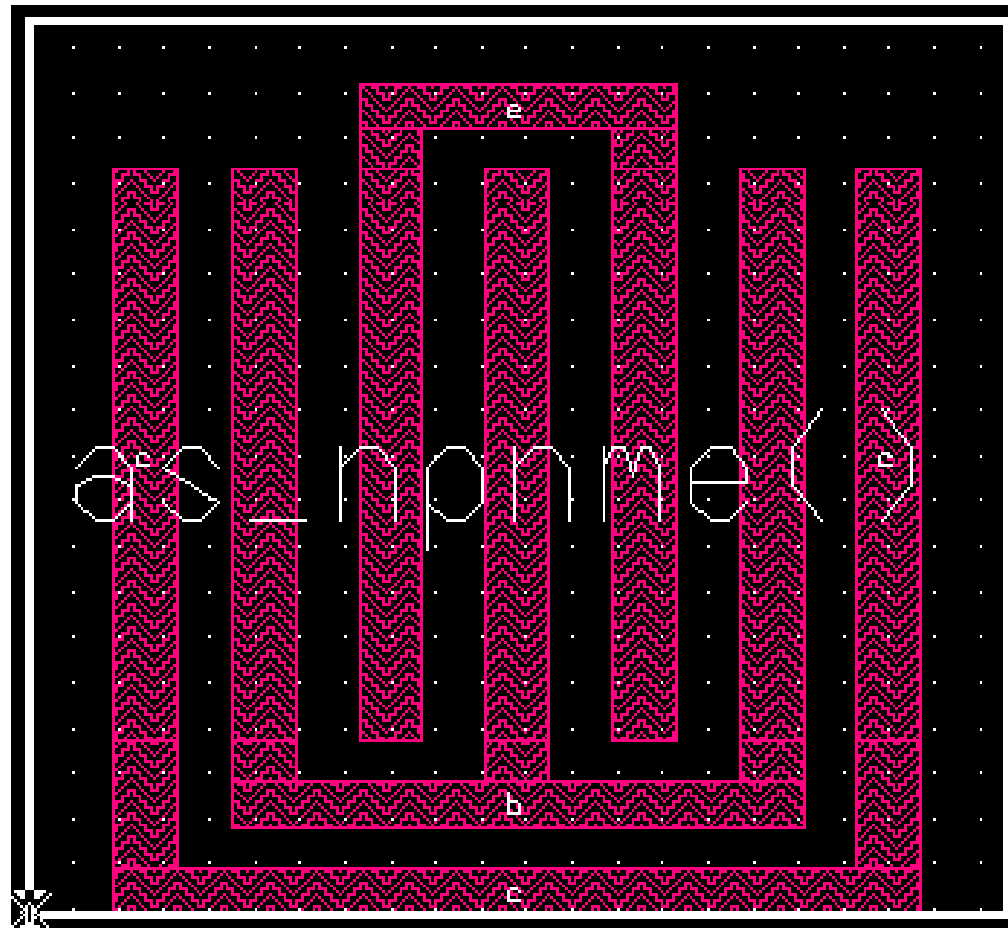
Nastavenie parametrov NPN tranzistora

Vloženie tranzistorov

Názorná ukážka tranzistora typu NPN 232 je na obr.

Posúvanie tranzistora pomocou **kurzorov** je prehľadnejšie.

Je možné použitie aj klávesové skratky *Hotkeys*.



NPN 232

Vloženie rezistorov

Rezistory vyberieme z *HIT-Kit Utilities* → *AMS Devices* → *RES*.

Po ich zvolení sa zobrazí okno ***Resistor Parameters***.

Odpor rezistora môžeme zadať:

priamo **hodnotou**

zvolením dĺžky a šírky (*Length, Width*) odporovej vrstvy rezistora.

V položke *Number of bends* zadáme **nulu**.

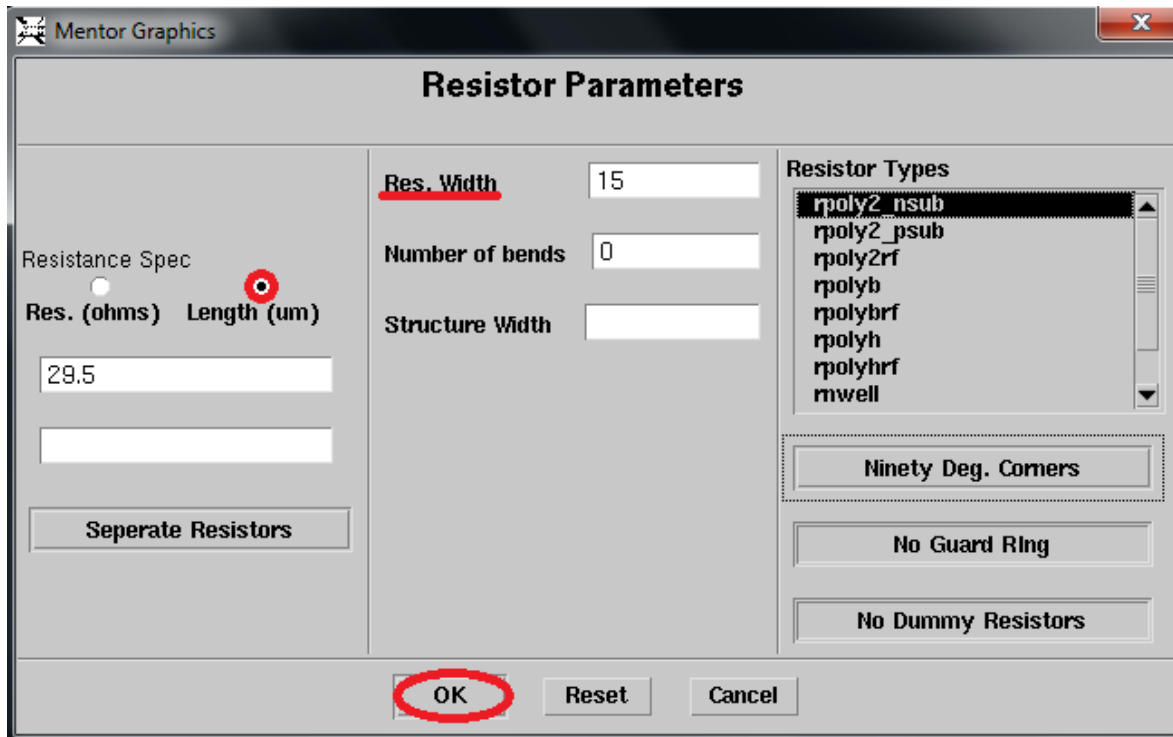
Vyberieme požadovaný typ rezistora.

Uhol rohov rezistora odporúčam na ***Ninety Deg. Corners*** (*Fourty five Deg. Corners*).

Ostatné zvolíme na ***No Guard Ring*** a ***No Dummy Resistors*** → **OK**

Vloženie rezistorov

Na obr. je príklad ako zadávať jednotlivé parametre rezistora a príklad rezistora rpoly2_nsub v prostredí.



Nastavenie parametrov rezistora

rpoly2_nsub

Vytvorenie vodivých ciest

Prepájanie prvkov medzi sebou môžeme riešiť výberom z ponuky

Easy Edit → ***Shape***

Path (obr.)

ODPORÚČANIE *Shape* ľahšia modifikácia ciest

Je dôležité, na ktorej vrstve ťaháme vodivé cesty → vpravo v lište

Veľkosť cesty volíme optimálne

Každá vrstva má iné vodivé vlastnosti, preto je potrebné poznať parametre jednotlivých vrstiev

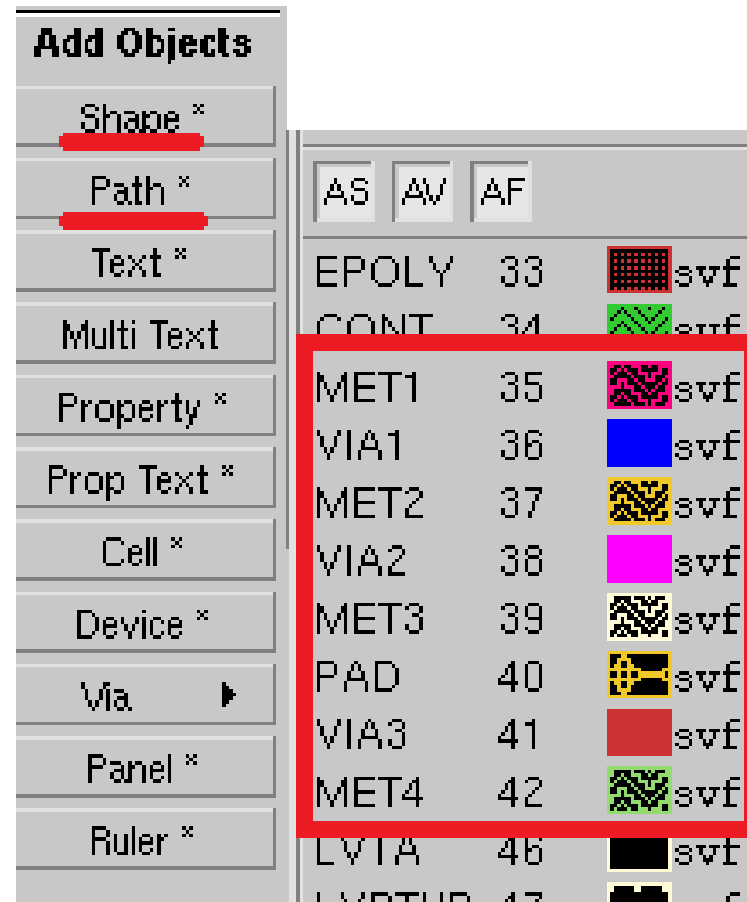
Možnosť *Context*→*Hierarchy* →*ping* zobrazí všetky vrstvy

alebo ***Ctrl+F6***

Vytvorenie vodivých ciest

Ruler pomocné pravítko umožňuje určiť počiatočný bod od merania až po koncový bod.

Ctrl+F6



Vytváranie ciest

Vytvorenie vodivých ciest

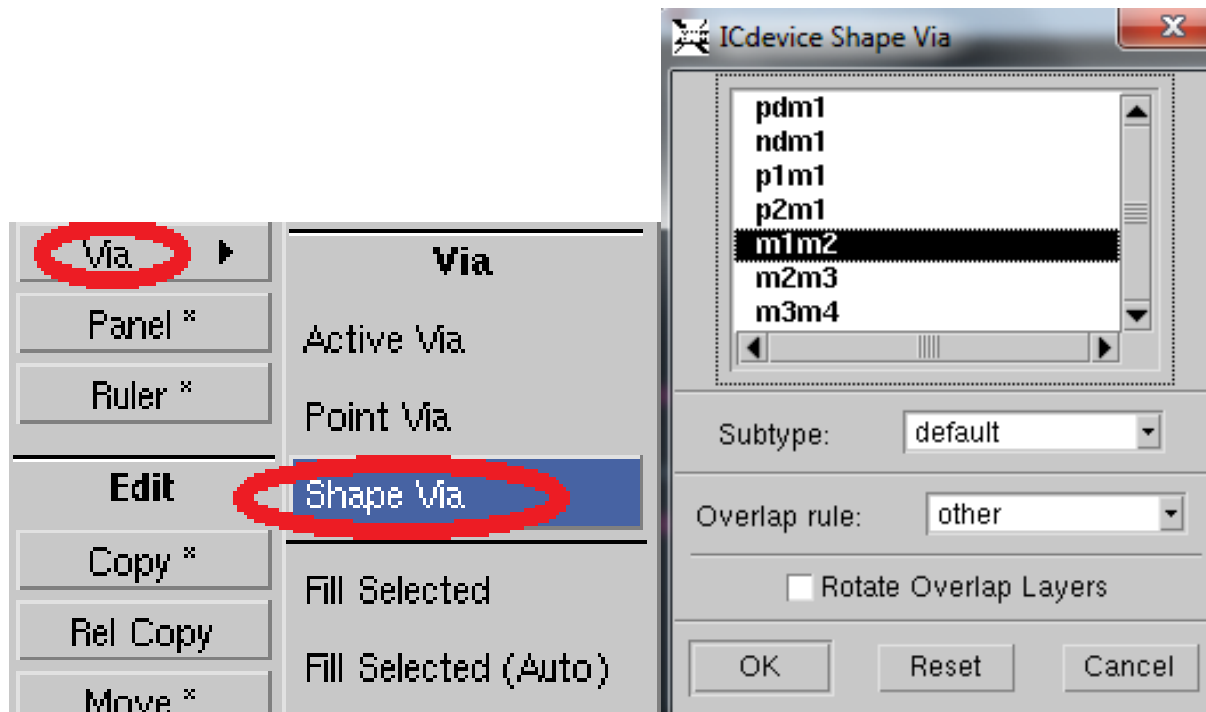
Pri navrhovaní **Layout** vyžívame viacero vrstiev

AMS technológia ponúka na realizáciu až **štyri vrstvy**

Medzi každú vrstvu je potrebné vytvoriť medzivrstvu

Add objects → *Via* → a následný výber medzivrstvy (*m1m2*, *m2m3*, *m3m4*).

m1m2 na prepojenie vrstiev *MET1* a vrstvy *MET2*.

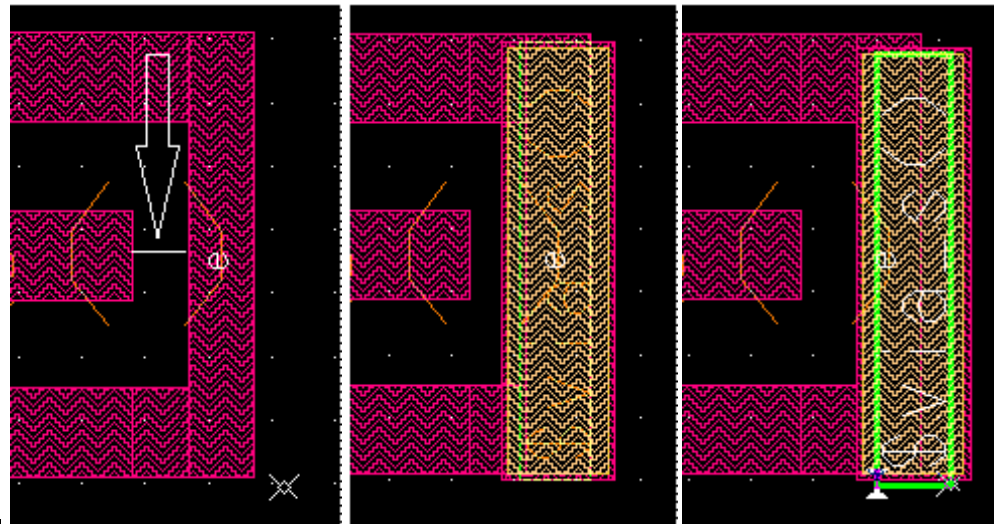


Vytváranie medzivrstiev

Vytvorenie vodivých ciest

Často dochádza k nedodržaniu minimálnych vzdialeností, napr. pri vkladaní medzivrstvy na emitor. **Tranzistor musí mať pevne danú medzeru medzi emitorom a bázou.**

Pri vkladaní medzivrstvy sa vytvára napr. *MET1* a *MET2* vrstva, je potrebné počítať s tým, že sa priestor medzi jednotlivými časťami zúži.



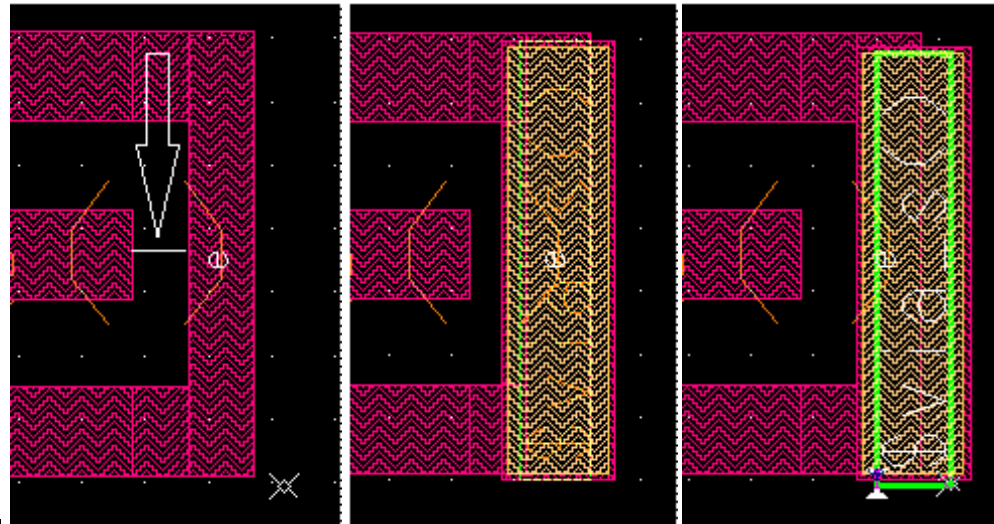
Korekcia medzivrstiev

Vytvorenie vodivých ciest

Vľavo je zobrazený **potrebný priestor** medzi emitorom a bázou.

V strede je tento **priestor zúžený** vrstvou *MET1*, ktorá vznikla pri vkladaní medzivrstvy *m1m2*.

Vpravo je medzivrstva, ktorá si **drží odstup** medzi bázou a emitorom



Korekcia medzivrstiev

Spustenie DRC

Kontrola návrhu *Calibre* → *Run DRC* v hlavnej hornej lište.

V okne *Calibre* na ľavej strane sú uvedené všetky chyby návrhu.

Zvýraznenie chýb v návrhu: pomocou funkcie *Highlight*,

alebo klávesová skratka *H* pre označenú chybu v okne, kde sú uvedené

chyby - je ľahšie prísť na príčinu chyby.

Odstránenie zvýrazneného

„lemovania“ chýb realizujeme

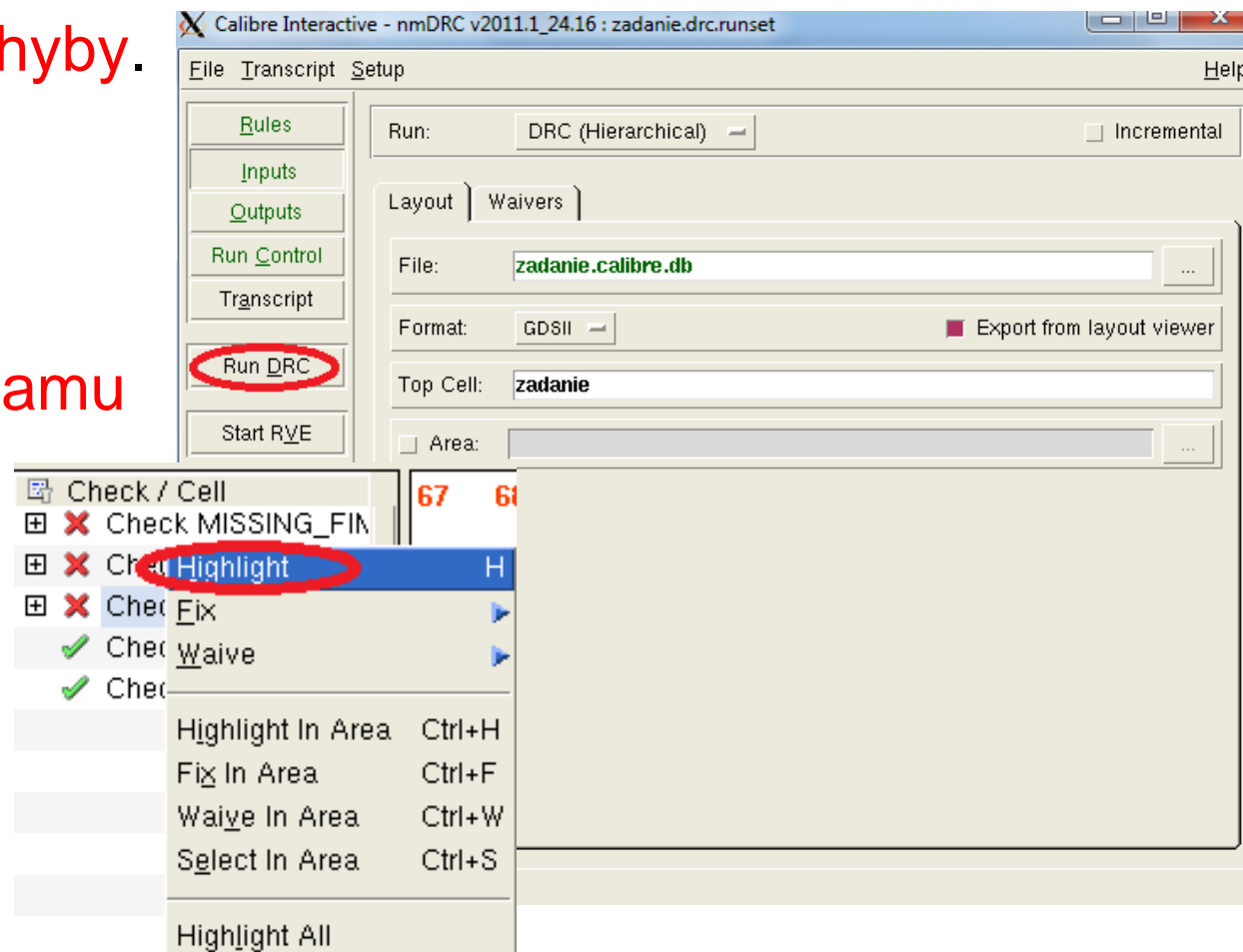
pomocou tlačidla *F4* v okne zoznamu

chýb.

Takto sa skontroluje celý návrh.

Run DRC

Zvýraznenie chýb



Odstraňovanie chýb Run DRC

Uvedieme niektoré základné chyby a tipy na ich odstránenie.

Po výbere *Calibre* → *Run DRC* v ľavej lište je uvedené: počet chýb.

Po výbere chyby zo zoznamu sa vypíše komentár v dolnej lište.

Toto okno sa po odstránení neaktualizuje.

Po oprave

chyby:

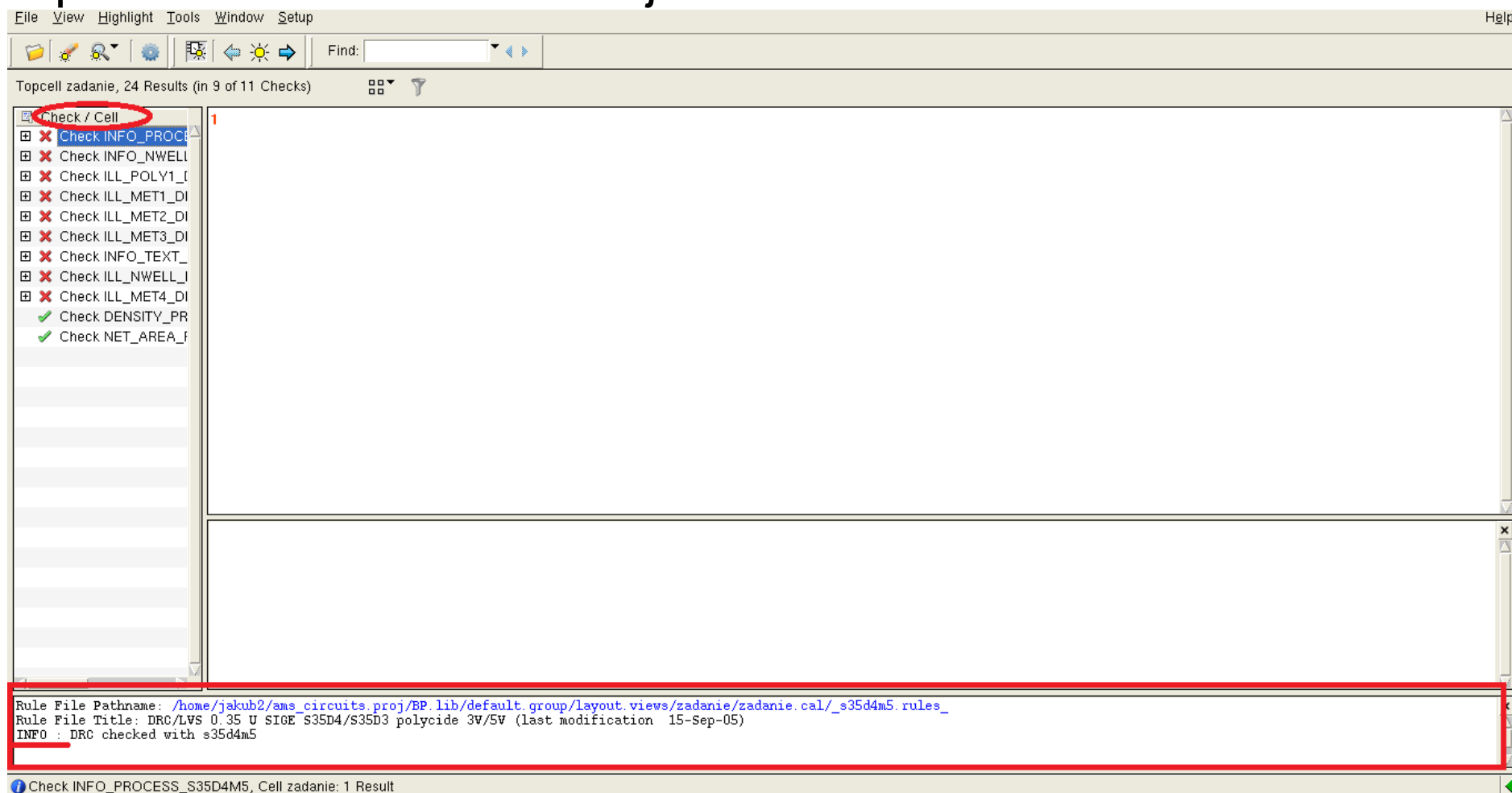
nanovo

spustiť

Run DRC

Zoznam

chýb



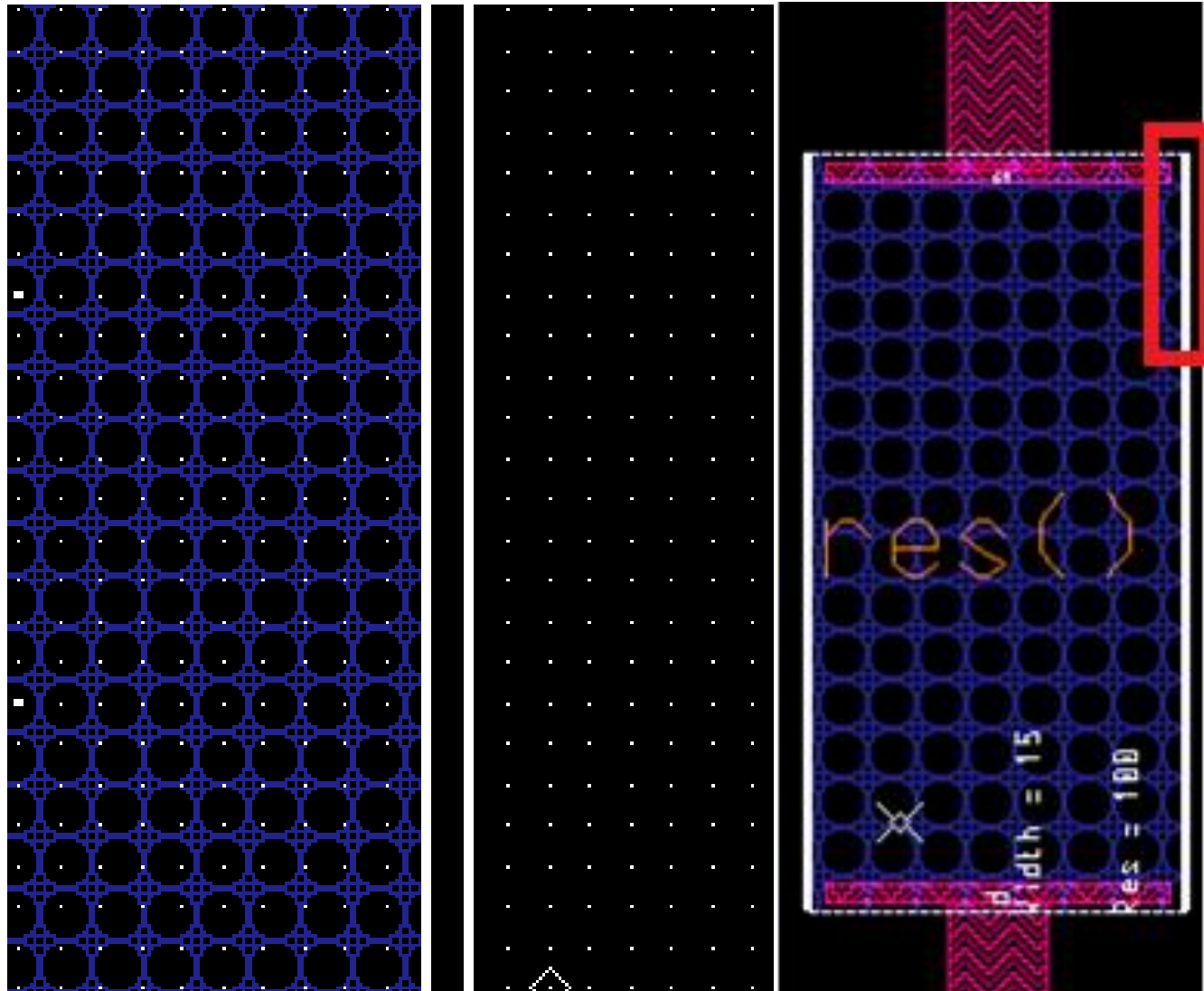
Chyba **✘** Check MISSING_FIMP, nám už z názvu napovedá, že vrstva *FIMP* chýba alebo ju máme zle usadenú. Cez funkciu *Highlight* si túto chybu vyznačíme (graficky znázornené na obr.). Na prvý pohľad sa zdá, že je to v poriadku, pri bližšom priblížení zistíme, že vrstva je jemne posunutá. Túto

chybu odstránime tak, že dáme vrstvu na zvýraznené miesto.

Označíme vrstvu *FIMP* a držaním *CTRL* dáme vrstvu na správne miesto.

Podobne je to aj s vrstvami *NLDD*, *HBT*, či *NBUR*.

Chyba pri vkladaní vrstvy FIMP

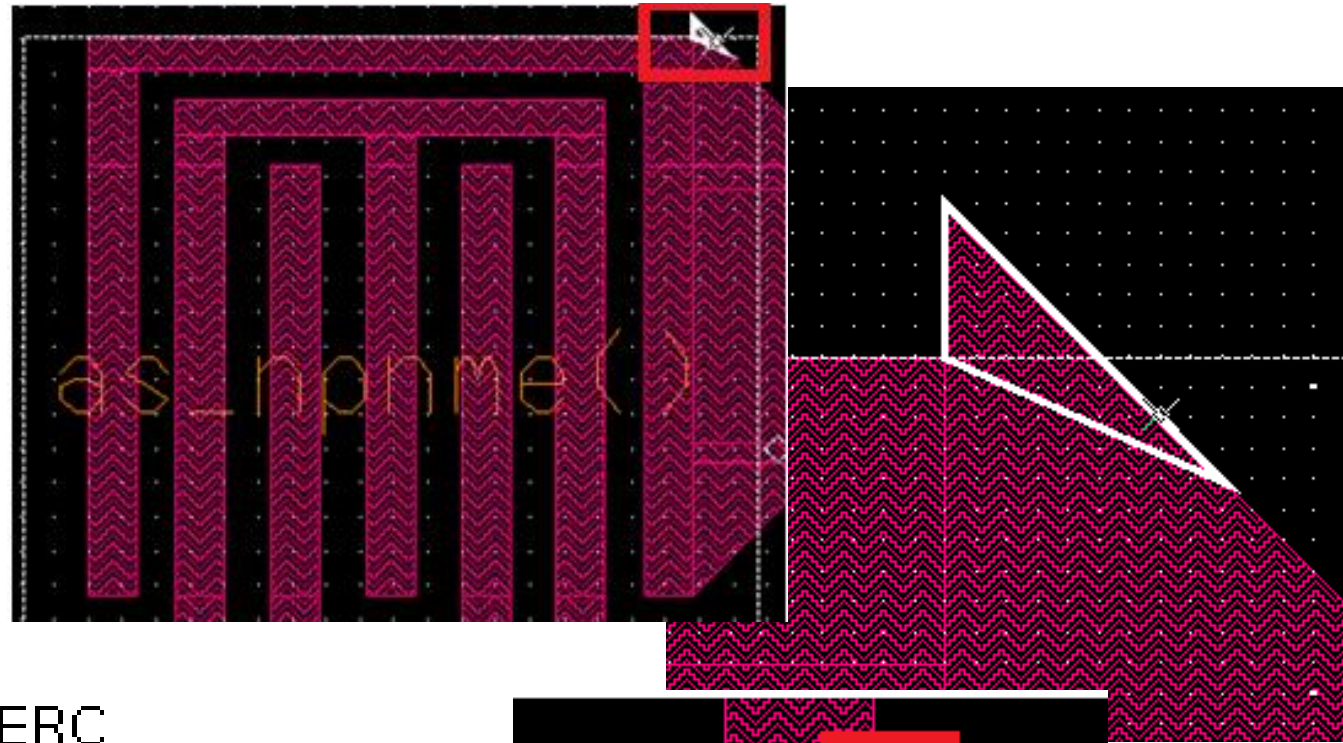


X Check ILL_MET1_NOT_VIA_CONT_ERC upozorňuje na to, že v schéme sa nachádza objekt, ktorý nie je zapojený. **Je to častou chybou pri nedôslednom kopírovaní.**

X Check WIDTH_MET1_M1W1 poukazuje na šírku vodivej cesty *MET1*, ktorá nie je zakončená na prislúchajúci kolektor tranzistora. Z komentára nachádzajúceho sa v dolnej lište (*MINIMUM MET1 width 0.5*) je jasné, že šírku tejto cesty nie je možné zhotoviť technológiou, pretože jej šírka je nedostatočná.

Vyznačený, vyčnievajúci trojuholník vodivej vrstvy umiestnime tak, aby bol zarovno s hranou kolektora (obr.)!

„Prečnievajúci“ dodatok vodivej vrstvy

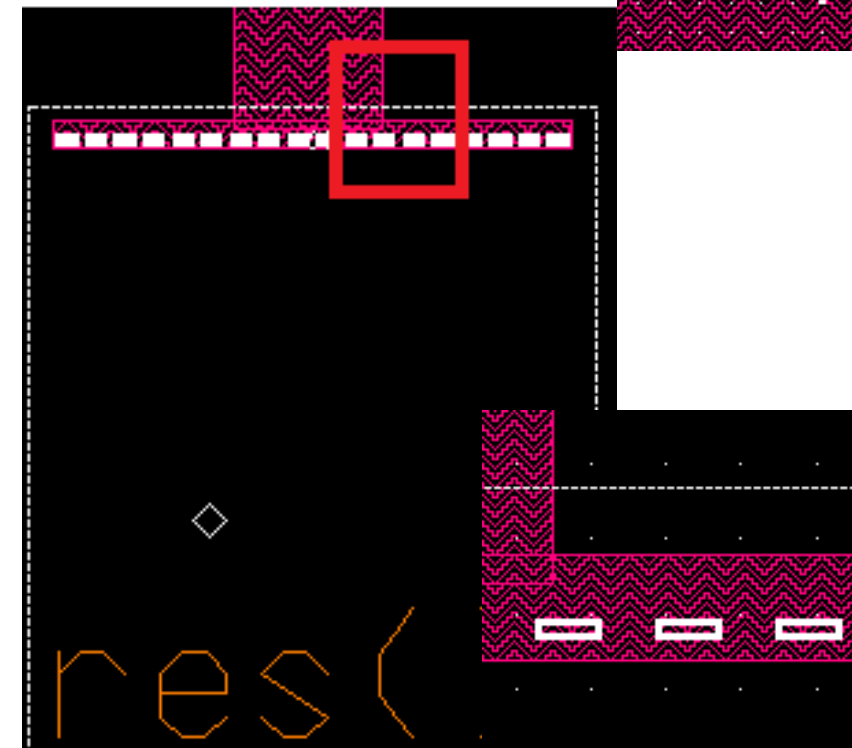


✘ Check ILL_CONT_RPOLY2_ERC

Chyba je príčinou toho, že sme si v návrhu zamenili rezistor s iným substrátom.

Odstránenie chyby: *rpoly2_nsub*, zameníme za *rpoly2_psub*!

Chyba pri zámene substrátov

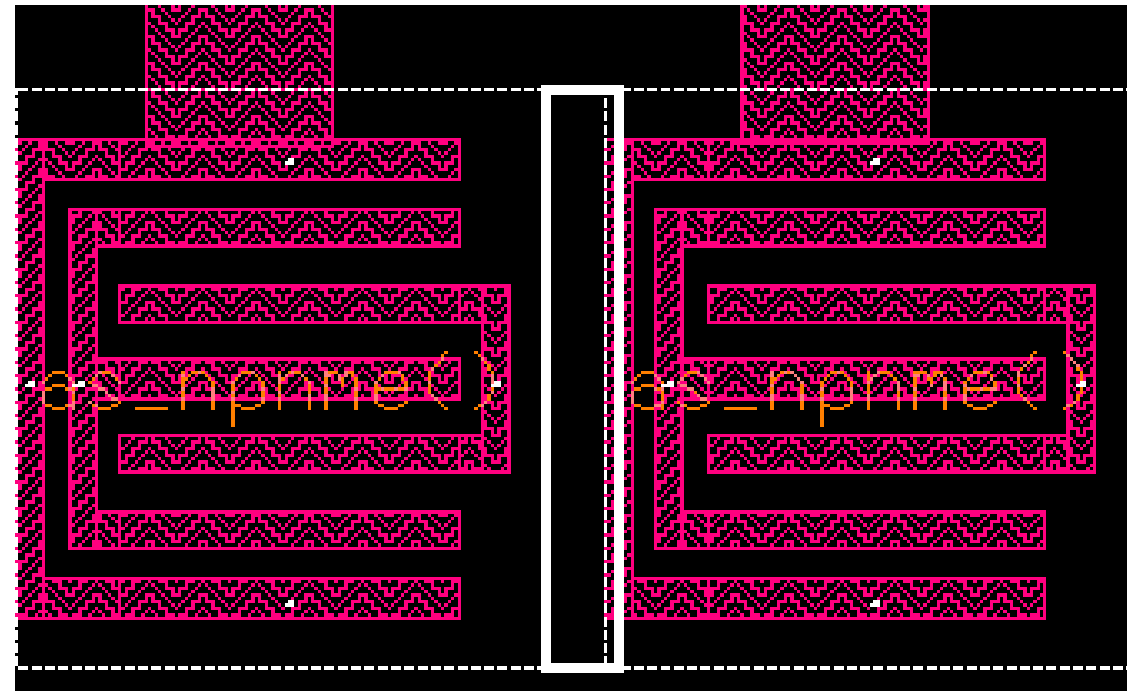


X Check SPAC_BNTUB_S1WBWB

Nedostatočná medzera medzi rozmiestnením prvkov (*Minimum BNTUB spacing = 4.0*).

Môže sa tiež vyskytnúť podobná chyba, ale týkajúca sa nedostatočným priestorom medzi rovnakými vodivými cestami.

Je potrebné jeden z tranzistorov posunúť minimálne na úroveň vyznačenej čiary tak, ako je zobrazené na obr.



Nedostatočný priestor medzi prvkami

Vytvorenie portov

Označíme vodivú cestu, ktorá má slúžiť ako vstupný alebo výstupný port.

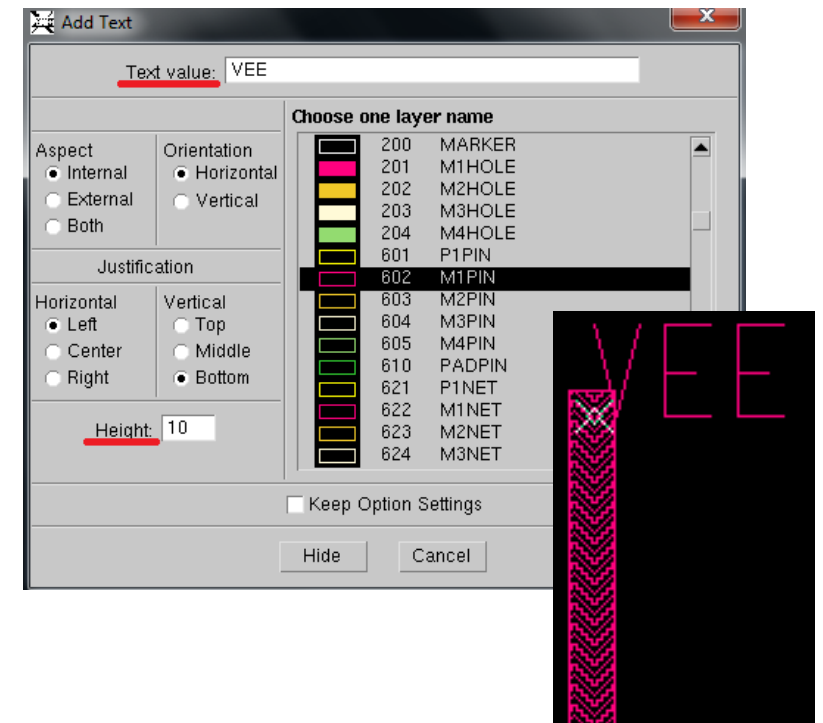
Port si pomenujeme: pravým klikom klikneme na označenú vodivú vrstvu a vyberieme *Add* → *Text*. V okne zadáme *Text value* (požadovaný názov portu), typ vodivej vrstvy ak je to *MET1*, tak zvolíme *M1PIN*!

Ak sme nastavili hodnoty ako na obr. následne klikneme na vodivú cestu, ktorá má byť portom.

Snažíme sa, aby marker portu bol vložený

do stredu vodivej cesty, tak ako na obr. vpravo!

Vytváranie portov



Po označení tej istej vodivej cesty/ portu, **pokračujeme ďalej**: pravým kliknutím vyberieme **Add → Make → Port**.

Definujeme ďalšie vlastnosti portu: typ portu (*Port Type*) smer v akom bude port pracovať (*Direction*).

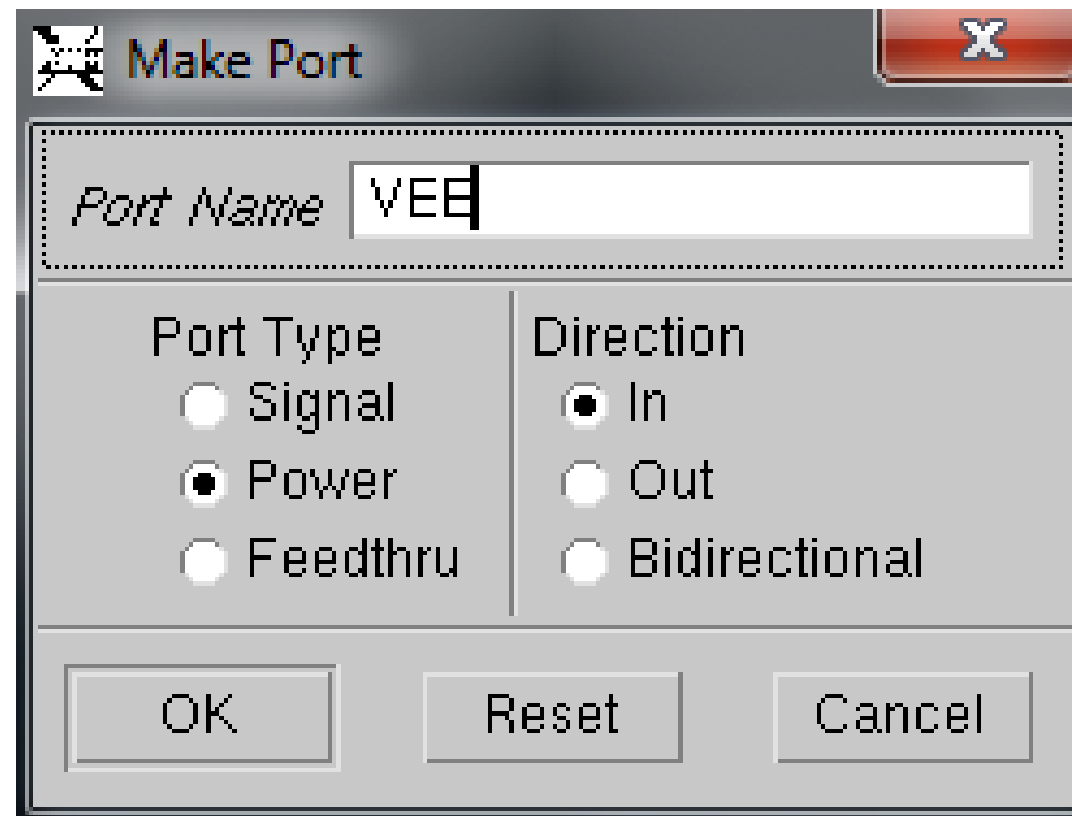
Pre *VEE* a *GND* volíme typ *Power* a smer *In*.

Pre vstupné porty (*Direction In*) typ *Signal*.

Pre výstupné porty (*Out*) sú v smere *Out*.

Ukážka menu nastavenia portov je zobrazená na obr.

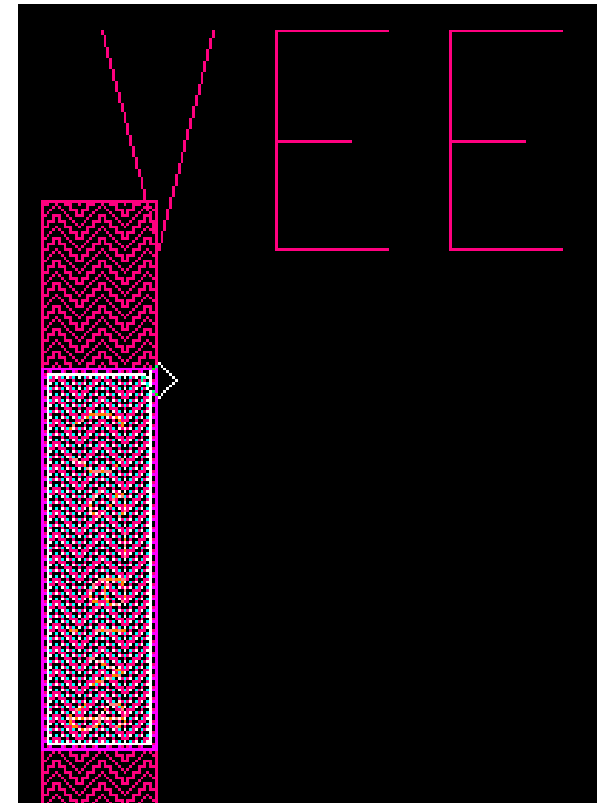
Menu pri vytváraní portov



Pre bipolárne tranzistory je potrebné všetky substráty pripojiť na najzápornejší potenciál/ k zdroju $VEE=-3V$

Teda vrstvu **pdm1**, ktorú nájdeme v *Easy edit* → *Via* → *Shape via* → *pdm1*

obr.



Medzivrstva pdm1 pripojená na port VEE

Overenie- Run LVS

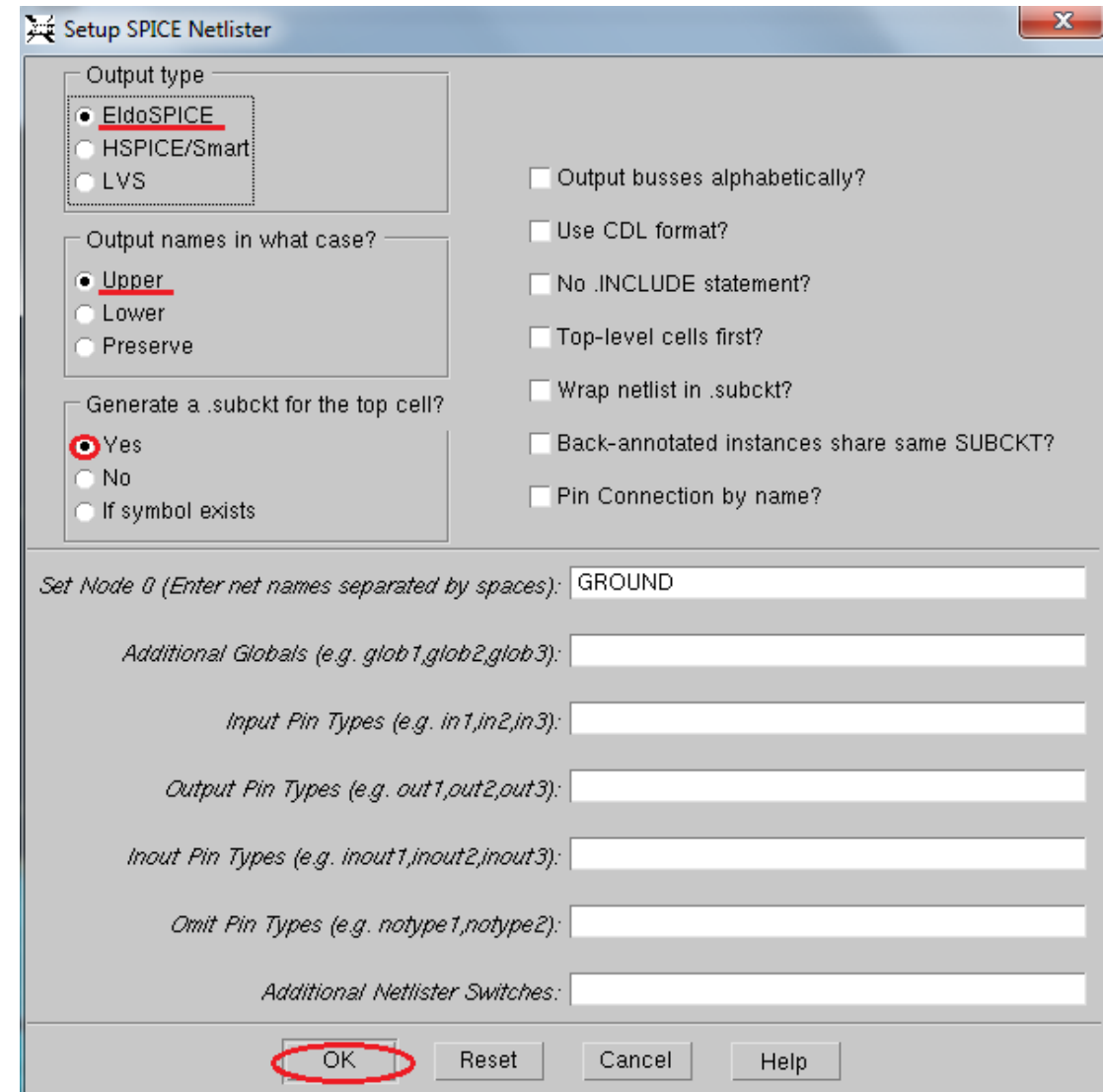
Porovnanie **obvodu v simulačnom prostredí** s návrhom rozmiestnenia prvkov na čipe (**s layout-om**).

Otvorenie obvodu v **simulačnom prostredí**, odstránenie všetkých zdrojov!

Spustíme simuláciu a v pravej lište klikneme na **Session → Netlister**.

V *Setup SPICE Netlister* nastavíme parametre tak, ako je to ilustrované na obr.

Setup SPICE Netlister



V simulačnom prostredí obvodu vyberieme z hornej lišty *HIT-Kit Utilities* → *Eldo 2 Calibre*.

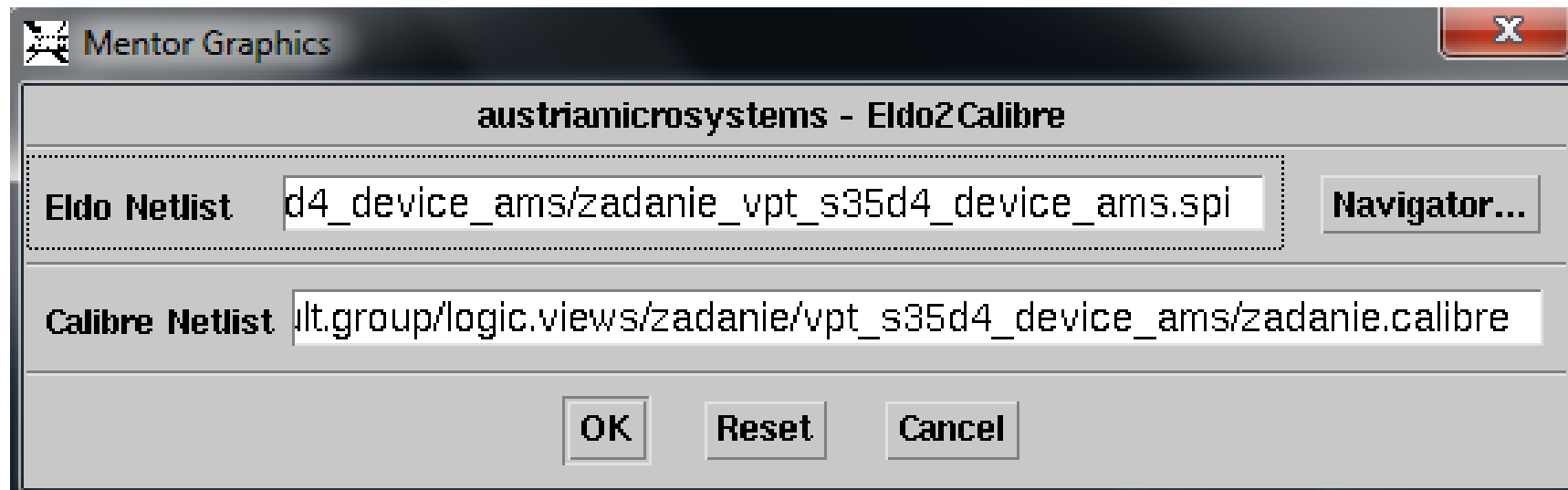
Zobrazí sa okno (obr.), v ktorom zadáme:

Cesta *Eldo Netlist* napr.:

\$Priezvisko/default.group/logic.views/zadanie/vpt_s35d4_device_ams/zadanie_vpt_s35d4_device_ams.spi

Cesta *Calibre Netlist* napr.:

\$Priezvisko/default.group/logic.views/zadanie/vpt_s35d4_device_ams/zadanie.calibre



Eldo 2 Calibre

Po zadaní ciest sa vrátíme späť do prostredia *Layout*.

Zvolíme funkciu *Layout Vs Schematic*, v hornej lište *Calibre* → *Run LVS*.

Zobrazí sa okno *Calibre Interactive*, kde je potrebné zadať cestu pre *Inputs* v sekcii *Netlist*. Cesta môže vyzerať napr.:

```
/home/Priezvisko/ams_circuits.proj/BP.lib/default.group/logic.views/zadanie/vpt_s35d4_device_ams/zadanie.calibre
```

Dôležitou súčasťou je **odškrtnúť** políčko *Export from schematic viewer* (obr.).

Je možné využiť
aj *Start RVE*,
priamo poukáže
na chybu.



V okne *Layout Cell/Type* je možné vidieť nedostatky. Po kliknutí na problém/ nedostatok sa nám v *Layout-e* zvýrazia chyby, ktoré nie sú v súhlasné s navrhnutým obvodom.

Je potrebné skontrolovať počet *Ports*, *Nets*, *Instances* navrhnutého obvodu a *Layout-u*.

Príklad okna Calibre-*RVE* je na obr.

Calibre RVE

The screenshot shows the Calibre RVE interface. The main window displays 'Comparison Results' for 'Layout Cell / Type'. A table lists the following items:

Layout Cell / Type	Source Cell	Count
zadanie	ZADANIE	11
Discrepancies		11
Incorrect Nets		7

The 'Incorrect Nets' section is expanded, showing a list of discrepancies:

- Discrepancy #1
- Discrepancy #2
- Discrepancy #3
- Discrepancy #4
- Discrepancy #5
- Discrepancy #6

The detailed view for 'Cell cip (7 Incorrect Nets)' shows the following discrepancies:

Discrepancy #1 in cip

LAYOUT NAME	SOURCE NAME
Net GND	GROUND
** missing connection **	
R6 (46.400, 60.050) :pos	QX_QNPN_4:c
R3 (9.150, -5.600) :pos	** unmatched connection **
R2 (-21.050, -4.950) :pos	** unmatched connection **
** unmatched connection **	
** unmatched connection **	
** unmatched connection **	
RX_R_4:pos	
RX_R_6:pos	
RX_R_7:pos	

Discrepancy #2 in cip

LAYOUT NAME	SOURCE NAME
Net 10	NS134
** missing connection **	
R6 (46.400, 60.050) :neg	CX_C_1:pos
** unmatched connection **	

Po odstránení všetkých nedostatkov, sa objaví v *Run LVS* správa o úspešnej kontrole ako je to na obr.

```
LVS Report File - lvs.report
File Edit Options Windows

LVS Netlist Compiler - Errors and Warnings for "/home/jakub2/ams_circuits.proj/BP.lib/
-----
Warning: Can't understand statement ".CONNECT" at line 4 in file "/home/jakub2/ams_cir

#####
##                                ##
##          CALIBRE SYSTEM          ##
##                                ##
##          LVS REPORT              ##
##                                ##
#####

REPORT FILE NAME:      lvs.report
LAYOUT NAME:          /home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.v
SOURCE NAME:          /home/jakub2/ams_circuits.proj/BP.lib/default.group/logic.vi
RULE FILE:            /home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.v
RULE FILE TITLE:     DRG/LVS 0.35 U S1GE S35D4/S35D3 polycide 3V/5V (last modif
CREATION TIME:        Wed May 23 19:02:34 2012
CURRENT DIRECTORY:   /home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.v
USER NAME:            jakub2
CALIBRE VERSION:     v2011.1_24.16    Tue Mar 8 14:38:02 PST 2011

                                OVERALL COMPARISON RESULTS

                                #####
                                #                                * *
                                #                                *
                                # CORRECT                        #
                                #                                #
                                #                                #
                                #####

Warning: Ambiguity points were found and resolved arbitrarily.

*****
                                CELL SUMMARY
*****
```

LVS Report File

Run PEX

Slúži na zistenie parazitný prejavov, v hornej lište *Calibre* → *Run PEX*- okno *Calibre Interactive – Pex*. Dôležité je nastaviť *Inputs* v sekcii *Netlist*.

Formát- *SPICE* a odškrtneme *Export from schematic viewer* (obr.).

Cestu zadáme ako pri *Run DRC* či *Run LVS*, napr.:

```
/home/Priezvisko/ams_circuits.proj/BP.lib/default.group/logic.views/zadanie/vpt_s35d4_device_ams/zadanie.calibre
```

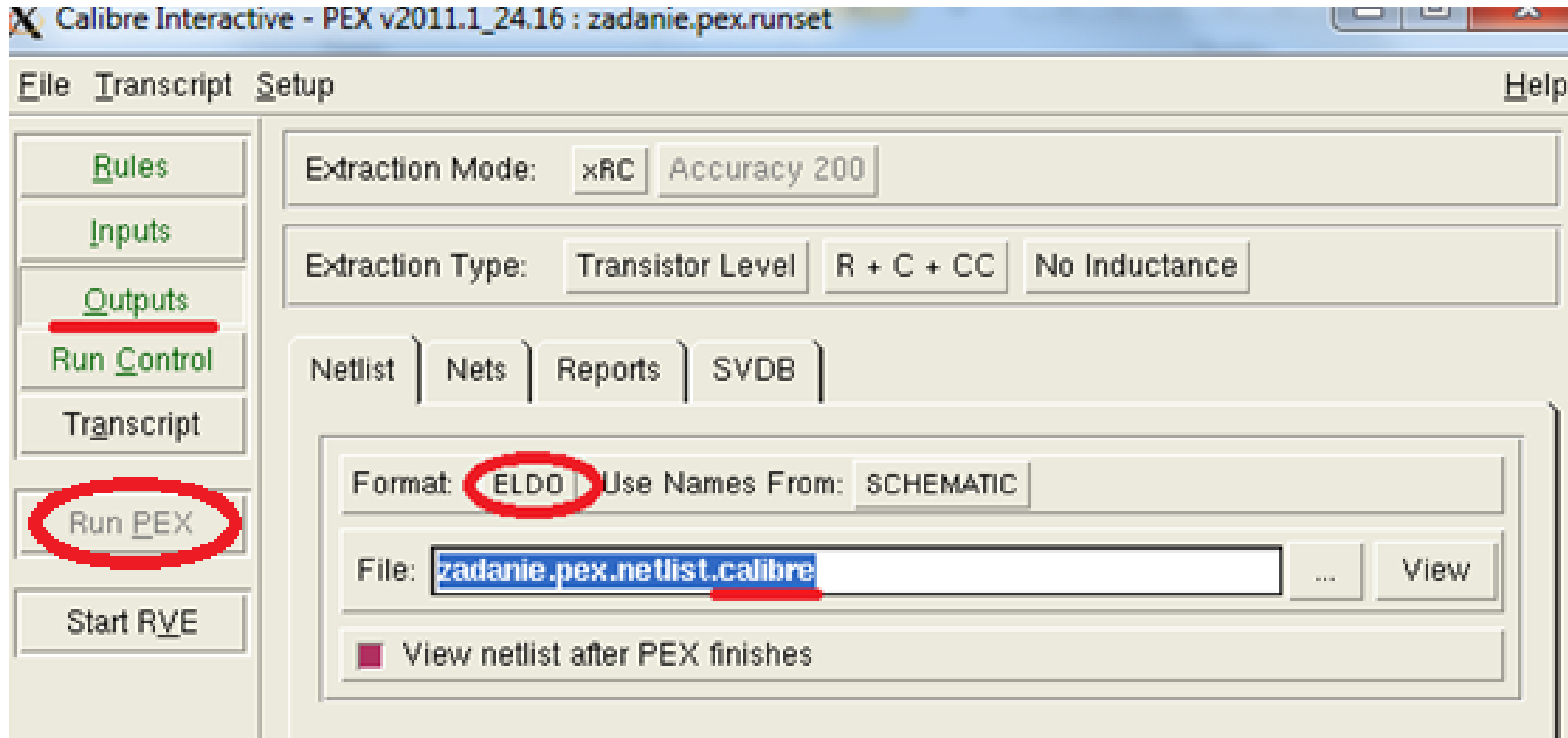


Inputs Calibre

Interactive– PEX

V ďalšom kroku nastavíme *Outputs*, formát zvolíme typu *ELDO* a v položke *File* dopíšeme za text *.calibre*, výsledok nastavenia je vidieť na obr.

Potom spustíme *Run PEX*.



Spúšťanie Calibre Interactive - PEX

Po spustení *Run PEX* sa nám vygeneruje *PEX Netlist File*.

PROBLÉM: tento súbor používa dva príkazy, ktorých adresa nie je

kompletná: `.include "zadanie.pex.netlist.calibre.pex"`

`.include "zadanie.pex.netlist.calibre.ZADANIE.pxi"`

napr.: `~/home/ams_circuits.proj/Priezv.lib/default.group/layout.views/zadanie/z`

`adanie.cal/`

Jeden z príkazov je znázornený

na obr., druhý sa nachádza na

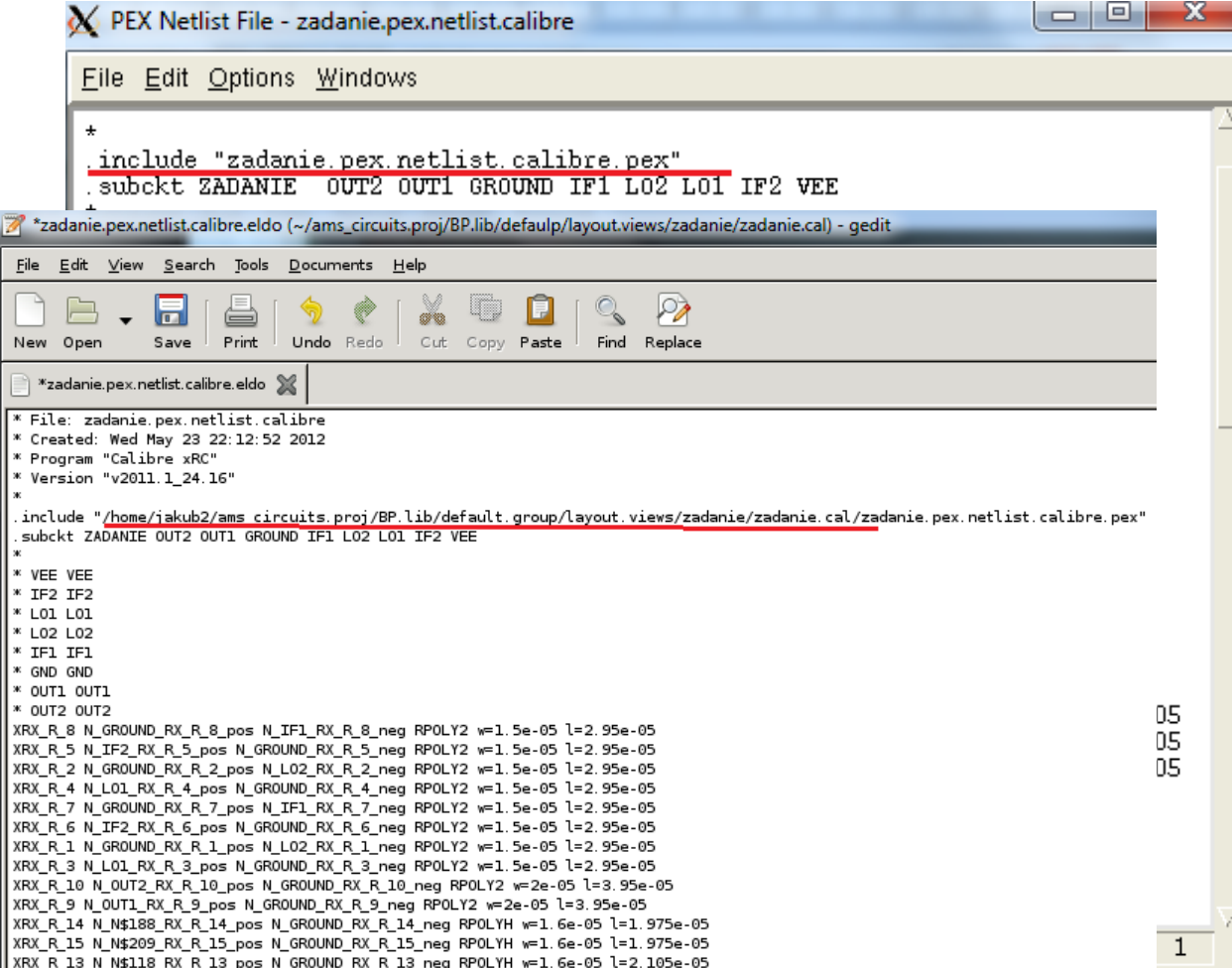
konci *Netlistu*.

Je potrebné ich adresu

doplniť'- 2x!

PEX Netlist File + doplnená

adresa



The screenshot shows two overlapping windows. The top window is titled "PEX Netlist File - zadanie.pex.netlist.calibre" and displays the following code:

```
*
include "zadanie.pex.netlist.calibre.pex"
.subckt ZADANIE OUT2 OUT1 GROUND IF1 L02 L01 IF2 VEE
*
```

The bottom window is titled "*zadanie.pex.netlist.calibre.eldo (~/ams_circuits.proj/BP.lib/default/layout.views/zadanie/zadanie.cal) - gedit" and displays the following code:

```
* File: zadanie.pex.netlist.calibre
* Created: Wed May 23 22:12:52 2012
* Program "Calibre xRC"
* Version "v2011.1_24.16"
*
.include "~/home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.views/zadanie/zadanie.cal/zadanie.pex.netlist.calibre.pex"
.subckt ZADANIE OUT2 OUT1 GROUND IF1 L02 L01 IF2 VEE
*
* VEE VEE
* IF2 IF2
* L01 L01
* L02 L02
* IF1 IF1
* GND GND
* OUT1 OUT1
* OUT2 OUT2
XRX_R_8 N_GROUND_RX_R_8_pos N_IF1_RX_R_8_neg RPOLY2 w=1.5e-05 l=2.95e-05
XRX_R_5 N_IF2_RX_R_5_pos N_GROUND_RX_R_5_neg RPOLY2 w=1.5e-05 l=2.95e-05
XRX_R_2 N_GROUND_RX_R_2_pos N_L02_RX_R_2_neg RPOLY2 w=1.5e-05 l=2.95e-05
XRX_R_4 N_L01_RX_R_4_pos N_GROUND_RX_R_4_neg RPOLY2 w=1.5e-05 l=2.95e-05
XRX_R_7 N_GROUND_RX_R_7_pos N_IF1_RX_R_7_neg RPOLY2 w=1.5e-05 l=2.95e-05
XRX_R_6 N_IF2_RX_R_6_pos N_GROUND_RX_R_6_neg RPOLY2 w=1.5e-05 l=2.95e-05
XRX_R_1 N_GROUND_RX_R_1_pos N_L02_RX_R_1_neg RPOLY2 w=1.5e-05 l=2.95e-05
XRX_R_3 N_L01_RX_R_3_pos N_GROUND_RX_R_3_neg RPOLY2 w=1.5e-05 l=2.95e-05
XRX_R_10 N_OUT2_RX_R_10_pos N_GROUND_RX_R_10_neg RPOLY2 w=2e-05 l=3.95e-05
XRX_R_9 N_OUT1_RX_R_9_pos N_GROUND_RX_R_9_neg RPOLY2 w=2e-05 l=3.95e-05
XRX_R_14 N_N$188_RX_R_14_pos N_GROUND_RX_R_14_neg RPOLYH w=1.6e-05 l=1.975e-05
XRX_R_15 N_N$209_RX_R_15_pos N_GROUND_RX_R_15_neg RPOLYH w=1.6e-05 l=1.975e-05
XRX_R_13 N_N$118_RX_R_13_pos N_GROUND_RX_R_13_neg RPOLYH w=1.6e-05 l=2.105e-05
XRX_R_14 N_N$209_RX_R_14_pos N_GROUND_RX_R_14_neg RPOLYH w=1.6e-05 l=1.975e-05
XRX_R_13 N_N$118_RX_R_13_pos N_GROUND_RX_R_13_neg RPOLYH w=1.6e-05 l=2.105e-05
XRX_R_14 N_N$209_RX_R_14_pos N_GROUND_RX_R_14_neg RPOLYH w=1.6e-05 l=1.975e-05
```

05
05
05

Calibre 2 Eldo

V prostredí, kde sme vytvorili Layout, v hornej lište zvolíme

HIT-Kit Utilities → *Calibre 2 Eldo*. V okne (obr.) zadame cestu

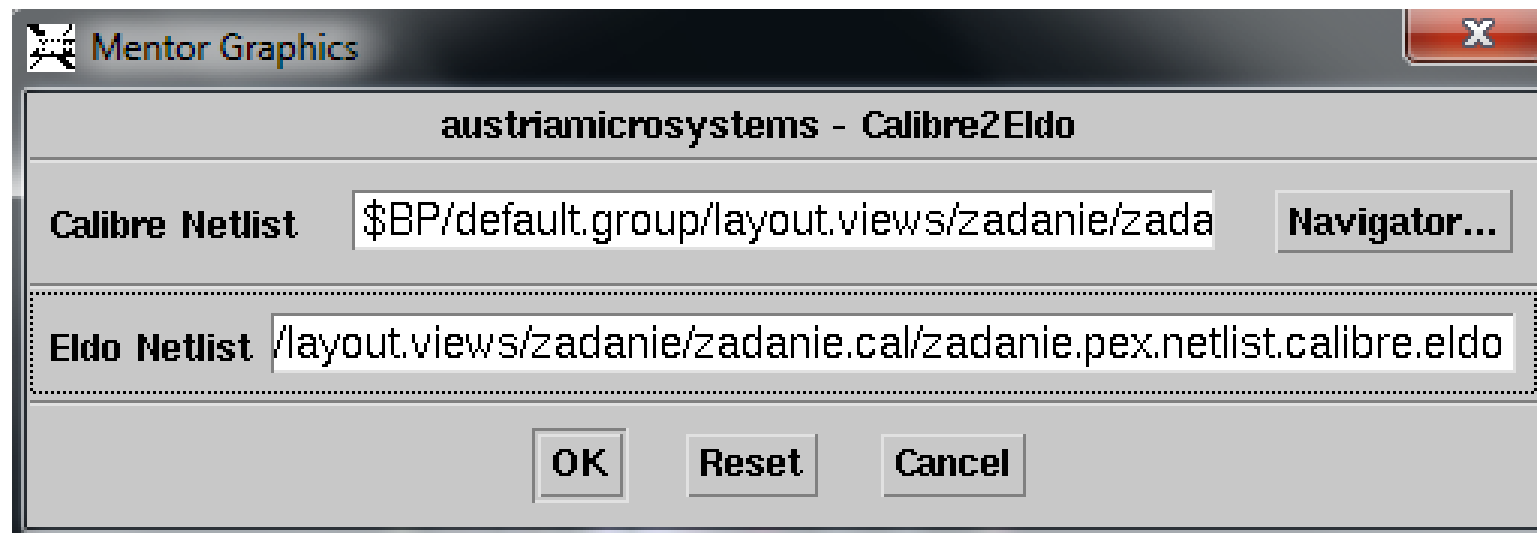
vygenerovaného netlistu, do ktorého sme za text dopisovali *.calibre*.

Cesta Calibre Netlist je napr.:

\$Priezvisko/default.group/layout.views/zadanie/zadanie.cal/zadanie.pex.netlist.calibre

Cesta pre *Eldo Netlist* je tá istá, plus na konci sa dopíše *.eldo*, napr.:

\$Priezvisko/default.group/layout.views/zadanie/zadanie.cal/zadanie.pex.netlist.calibre.eldo



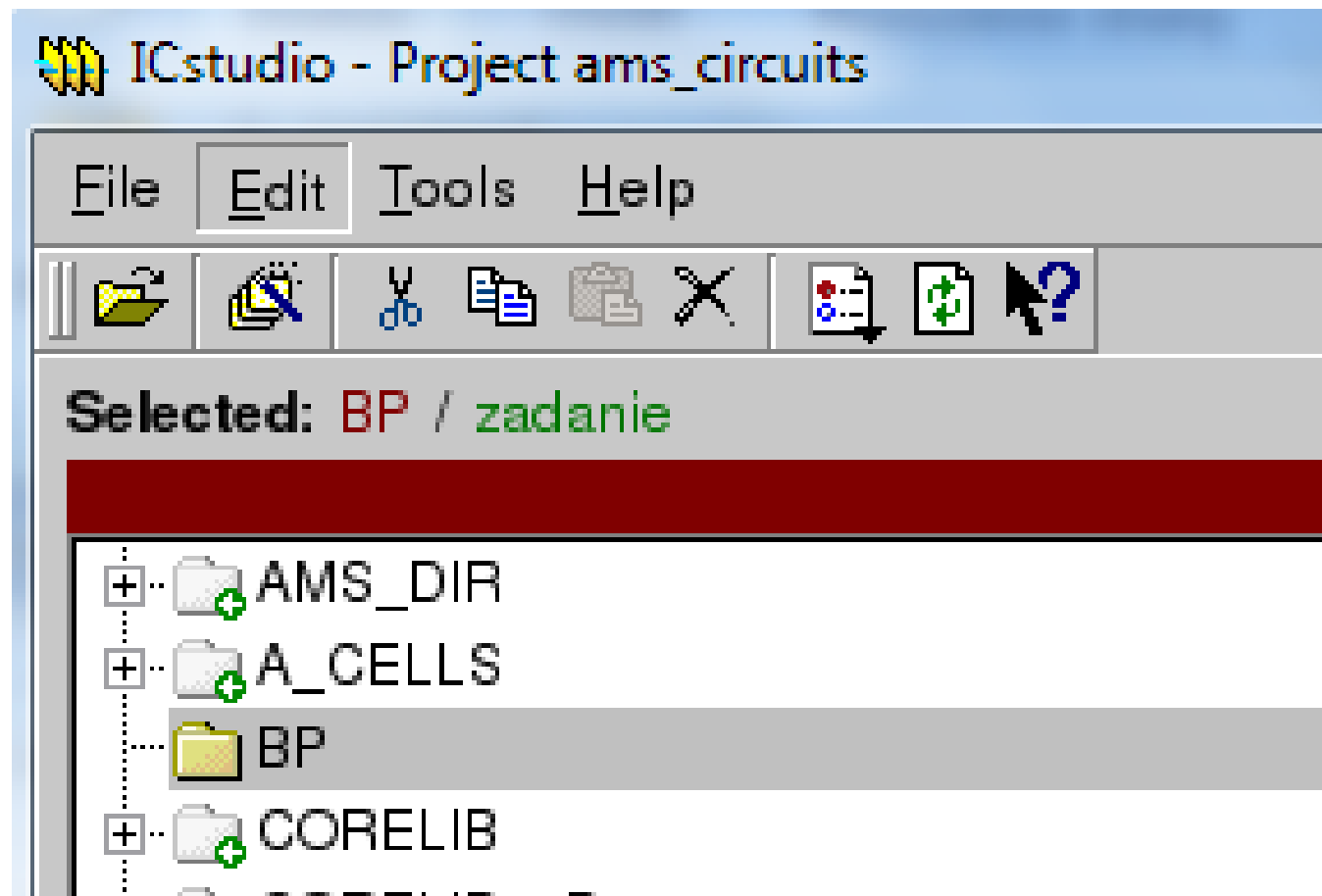
Calibre 2 ELDO

Import vytvoreného prvku- vytvorenie symbolu

Vytvorenie symbolu pre náš navrhnutý obvod.

Musíme ho najprv importovať.

V ICstudiu (obr.) vyberieme *File* → *Import* → *Spice*.



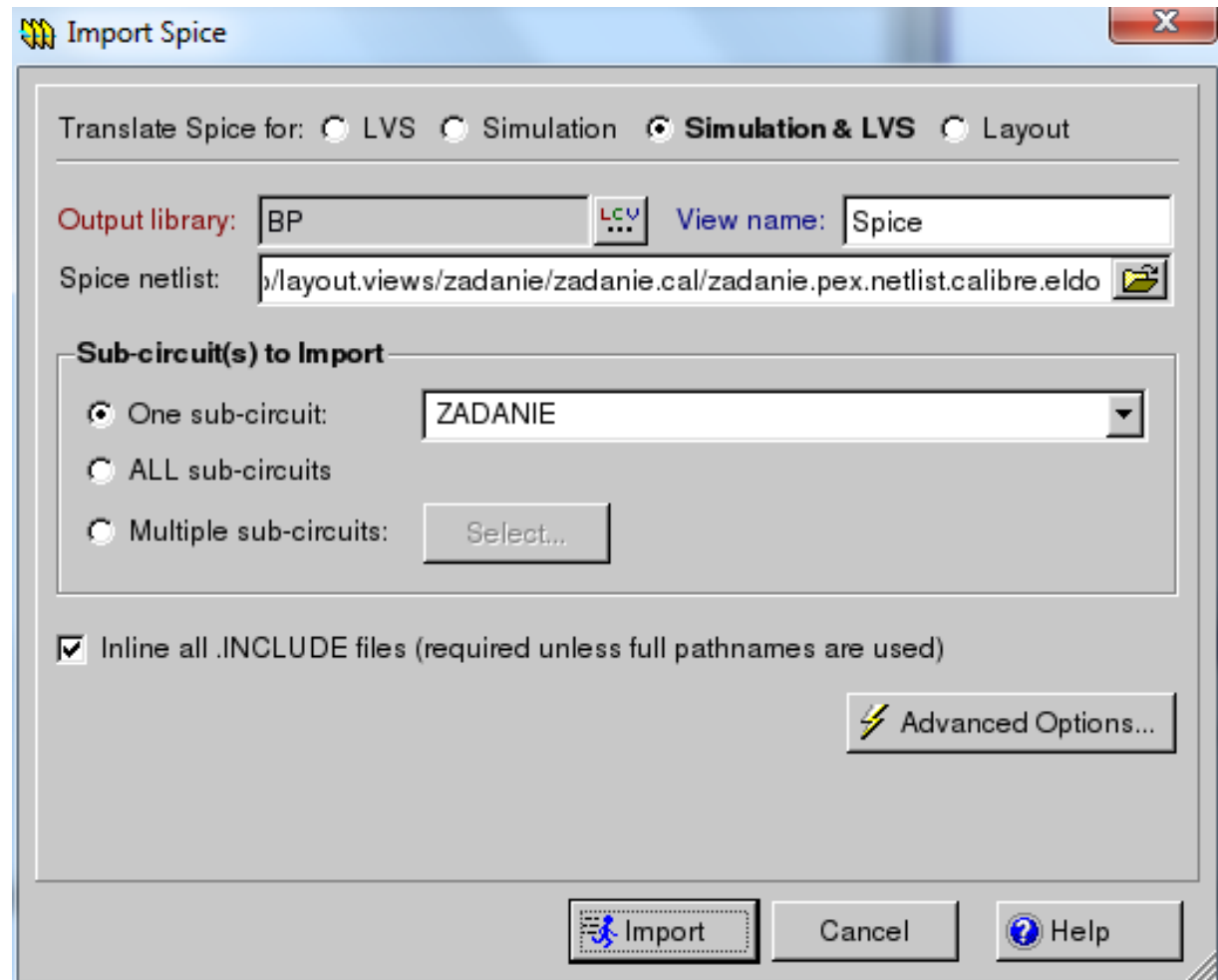
ICStudio

V okne *Import Spice* zvolíme cestu kde sa *ELDO* súbor nachádza napr.:


/home/ams_circuits.proj/Priezv.lib/default.group/layout.views/zadanie/zadanie.cal/zadanie.pex.netlist.calibre.eldo

V položke *One sub-circuit* vyberieme názov bunky, napr.: *ZADANIE*.

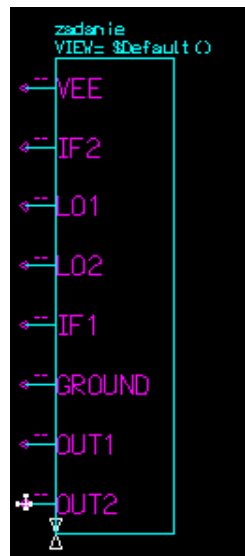
Potvrdíme *Import*, ak sa zobrazí ďalšie okno, vyberieme *Creat Symbol*.



Import Spice

V okne *View* sa vytvorí ikona  Symbol - symbol nášho navrhnutého obvodu (obr. vľavo)- aj s parazitnými prvkami. Pre porovnanie na obr. vpravo je *Layout* toho istého obvodu.

Navrhnutý obvod po vytvorení symbolu- aj s parazitnými prvkami



Layout navrhnutého obvodu

